

LLM 기반 RTL 설계 및 검증 기술: 기술적 기반, 산업적 채택, 향후 과제

As of December 2025

한.미 AI 반도체 혁신센터(K-ASIC)는 본 보고서의 기획 단계에서 연구 주제의 설정과 범위 정의, 주요 분석 방향에 대한 논의를 주관하며, 보고서가 다루는 산업적·정책적 맥락이 보다 체계적으로 반영될 수 있도록 협력하였습니다. 본 보고서는 이러한 기획 및 논의를 토대로, 산호세주립대학교(San José State University, SJSU) Applied Data Science 연구진인 정태희, 이지윤이 기초 연구, 자료 수집, 기술 분석, 벤치마킹, 주요 본문 작성 등 전반적인 연구 및 집필을 주도하여 수행한 연구 결과를 정리한 것입니다.

보고서에 포함된 연구 내용과 분석, 해석 및 결론은 해당 연구진의 학문적 판단에 따른 것이며, 이에 대한 책임은 연구진에 귀속됩니다. K-ASIC은 연구의 기획 및 논의 과정에 참여하였으나, 개별 내용의 작성, 사실 관계 검증, 분석 결과의 정확성 또는 해석에 대해서는 관여하거나 이를 보증하지 않습니다.

본 자료는 정보 제공을 목적으로 작성된 참고 자료로서, 투자, 사업, 재무, 법률 등 어떠한 형태의 의사결정에 대한 전문적 자문으로 해석되어서는 안 됩니다. K-ASIC 및 그 관계사, 임원, 직원, 대리인은 본 보고서에 포함된 정보 또는 분석의 활용이나 이에 대한 의존으로 인해 발생할 수 있는 직접적 또는 간접적 손실이나 손해에 대하여 어떠한 책임도 부담하지 않습니다.

이용자는 본 보고서를 참고 자료로만 활용해야 하며, 구체적인 의사결정이 필요한 경우 반드시 관련 분야의 독립적인 전문가 자문을 구하시기 바랍니다. 본 보고서에 대한 저작권은 한.미 AI 반도체 혁신센터(K-ASIC)에 귀속되며, 모든 권리는 관련 법령에 따라 보호됩니다. K-ASIC의 사전 서면 동의 없이 본 보고서의 전부 또는 일부(텍스트, 표, 그래프, 이미지 등)를 복제, 배포, 전제, 발췌, 전송, 전시하거나 이를 기반으로 한 2차적 저작물을 제작·활용하는 행위를 금합니다. 무단 사용, 복제 또는 변경 시에는 관련 법령에 따라 민·형사상 책임이 발생할 수 있습니다.

This document has been prepared solely for informational purposes and should not be regarded as professional advice for any investment, business, financial, or legal decisions. K-ASIC and its affiliates, officers, employees, and agents assume no responsibility or liability for any direct or indirect losses or damages arising from the use of, or reliance on, the information or analysis contained in this report.

Users should treat the contents of this report as reference material only and are strongly encouraged to seek independent professional advice when needed. The copyright to this report is owned by the Korea AI & System IC Innovation Center (K-ASIC), and all rights are legally protected. No part of this report—including text, tables, charts, graphics, or images—may be reproduced, distributed, transmitted, excerpted, displayed, or used to create derivative works without prior written permission from K-ASIC. Unauthorized use, reproduction, or modification may result in civil or criminal liability under applicable copyright laws.

목차 Contents

1. 서론

2. 기술적 배경

- 2.1 집적회로 설계에서 RTL의 역할
- 2.2 역사적 배경
- 2.3 RTL 설계의 현대 과제: 기술노드 축소
- 2.4 RTL 설계 방법의 발전
- 2.5 검증 방법론: 전통적 접근에서 현대적 접근으로
- 2.6 요약

3. 기술적 기반과 역량

- 3.1 LLM 기반 RTL 설계 생성
- 3.2 LLM 기반 RTL 검증
- 3.3 기타 AI/ML 기반 EDA 도구 및 프레임워크

4. 글로벌 동향과 산업 채택

- 4.1 EDA 툴체인으로의 통합
- 4.2 반도체 산업 내 첨단 검증 및 설계 기법의 도입 효과와 기회
- 4.3 EDA 벤더 및 기술 기업 동향
- 4.4 지역별 시장 비교: 한국, 미국, 중국
- 4.5 스타트업 vs. 대형 벤더 기업

5. 도전 과제 및 향후 요구사항

- 5.1 도전 과제와 한계
- 5.2 사례 연구 및 응용: 현대 RTL 설계와 검증에 대한 심층 분석

6. 결론

참고문헌

Executive Summary

반도체 산업은 기술 노드의 지속적인 축소, 시스템 통합 수준의 급격한 증가, 그리고 AI·자율 시스템·고성능 컴퓨팅(HPC)을 중심으로 한 응용 환경의 확산에 따라, 설계 및 검증 방법론 전반에서 구조적인 전환기를 맞이하고 있다. 특히 7 nm 이하 첨단 공정과 멀티 다이·칩렛 아키텍처의 보편화는 기존 RTL(Register Transfer Level) 설계 및 검증 흐름이 전제해 온 수작업 중심, 후반 검증 중심 접근의 한계를 명확히 드러내고 있으며, 타이밍 클로저, 전력 효율, 신뢰성, 보안성 측면에서 새로운 기술적 요구사항을 제기하고 있다.

이러한 환경 변화 속에서 거대 언어 모델(LLM)과 머신러닝 기반 AI 기술은 RTL 설계와 검증을 가속·보완하는 핵심 기술로 부상하고 있다. LLM 기반 RTL 생성은 코드 작성, 파라미터 튜닝, 설계 재사용, 초기 검증 자동화를 통해 설계 생산성을 크게 향상시키고 있으며, 기존의 숙련 엔지니어 의존적 워크플로우를 보다 체계적이고 확장 가능한 구조로 전환시키고 있다. Synopsys, Cadence, Siemens EDA를 비롯한 주요 EDA 벤더들은 생성형 AI, 예측형 AI, 그리고 에이전트 기반 자동화를 틀체인 전반에 통합하며, AI 기반(AI-based)을 넘어 AI 주도(AI-driven) 설계 플로우로의 전환을 본격화하고 있다.

검증 영역에서도 AI의 역할은 빠르게 확대되고 있다. 형식 검증(Formal Verification), 어서션 기반 검증(ABV), 시프트-레프트(Shift-left) 전략, 하드웨어 지원 검증(HAV), 시스템 수준 테스트(SLT)는 서로 결합되며, 기존 시뮬레이션 중심 검증의 한계를 보완하는 새로운 표준으로 자리 잡고 있다. 특히 AI 및 머신러닝을 활용한 자동 테스트 생성, 예측적 버그 탐지, 커버리지 최적화는 검증 주기를 단축하는 동시에 프리 실리콘 단계에서의 버그 탐지율과 신뢰성을 실질적으로 향상시키고 있다.

한편, 이러한 기술적 진보와 함께 명확한 한계와 리스크도 공존한다. LLM 기반 RTL 생성 및 검증은 여전히 결정론적 재현성, 깊은 설계 문맥 이해, 파라미터화된 타이밍·전력 제약 처리 측면에서 제약을 갖고 있으며, 환각(hallucination)에 따른 잠재적 설계 오류는 실리콘 리스핀으로 직결될 수 있는 중대한 위험 요소로 지적된다. 또한 AI-EDA 워크플로우는 고가치 설계 IP, PDK, 검증 로그 등 민감한 데이터에 접근하므로, IP 보안과 데이터 거버넌스는 기술적 부가 요소가 아닌 핵심 설계 요건으로 인식되고 있다.

글로벌 관점에서 보면, 미국은 상위 3대 EDA 벤더와 풍부한 인재·자본·파운드리 연계를 기반으로 AI-EDA 전환을 주도하고 있으며, 중국은 수출 규제 환경 속에서 국가 주도의 AI-EDA 자립 전략을 가속화하고 있다. 한국은 세계 최고 수준의 제조 역량을 보유하고 있음에도 불구하고 EDA 분야에서는 외산 의존도가 매우 높은 구조를 유지하고 있으며, AI-EDA의 부상은 이러한 구조적 불균형을 완화할 수 있는 새로운 전략적 기회이자 동시에 중대한 정책적 과제로 작용하고 있다.

종합하면, LLM과 AI 기반 RTL 설계·검증 기술은 단순한 생산성 도구를 넘어, 반도체 설계 패러다임 자체를 재정의하는 전환점에 위치해 있다. 향후 경쟁력은 개별 알고리즘의 성능이 아니라, 조기 검증과 자동화, 협업 중심 워크플로우, 하드웨어 지원 검증, IP 보안이 통합된 엔드-투-엔드 설계·검증 체계를 얼마나 효과적으로 구축하느냐에 의해 결정될 것이다.

본 리포트는 이러한 변화의 기술적 기반과 산업적 채택 현황을 분석하고, AI-EDA 시대에 요구되는 전략적 방향성과 실질적 시사점을 제시하는 것을 목적으로 한다.

1. 서론

01. 서론

1. 서론

기술 노드가 7nm 미만으로 축소되고 SoC(System on Chip)의 복잡성이 지속적으로 증가함에 따라, 타이밍 클로저, 전력 관리, 검증 범위의 확대 및 포괄적인 검증 요구와 같은 다양한 기술적 과제가 대두되고 있다. 이러한 환경 변화로 인해 전통적인 RTL 코드 생성 및 검증 방법을 활용한 반도체 설계는 점차 높은 기술적 난이도에 직면하고 있다. 현대 디지털 시스템에 요구되는 고성능, 신뢰성, 그리고 효율성은 산업계로 하여금 기존 방식의 한계를 보완할 수 있는 새로운 해법을 모색하도록 요구하고 있다. 이러한 요구에 대응할 수 있는 핵심 기술로서 최근 초거대 언어 모델(LLM)이 주목받고 있다.

LLM을 활용함으로써 RTL 코드 생성의 자동화, 설계 흐름의 최적화, 그리고 검증 프로세스의 고도화가 가능할 것으로 기대된다. 반도체 설계 과정에서 LLM의 도입은 설계 주기를 단순화할 뿐만 아니라, 보다 강력하고 확장 가능한 검증 전략을 구현할 수 있도록 하여, 궁극적으로 출시 기간을 단축하고 비용 부담이 큰 실리콘 리스핀의 위험을 최소화하는 데 기여할 수 있다.

Siemens EDA와 Wilson Research Group이 수행한 기능 검증 연구에 따르면, 그림 1은 2020년 기준 전체 설계 중 단 32%만이 첫 번째 실리콘 성공(first-silicon success)을 달성한 것으로 보고하고 있다. 나머지 68%의 설계는 반도체 웨이퍼 상에서 2~3회 이상의 설계 및 검증 과정을 반복적으로 수행한 것으로 나타났으며, 이는 반도체 설계 주기의 장기화와 설계 비용 증가, 그리고 출시 기간 지연으로 이어짐을 의미한다.

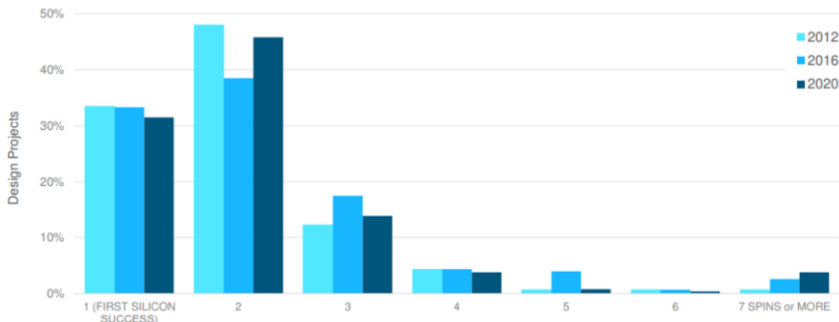


그림 1: 기능 검증의 성공률 [1]

본 보고서는 LLM 기반 RTL 설계 생성 및 검증 기술에 대한 포괄적인 연구를 수행한다. 보고서는 RTL을 활용한 반도체 칩 설계에 대한 개요로 시작하여, RTL 방법론의 발전 과정과 현대 반도체 설계 환경이 직면한 주요 과제를 고찰하는 기술적 배경 설명으로 이어진다. 이어지는 핵심 섹션에서는 RTL 설계 생성 및 검증을 위해 LLM을 활용하는 메커니즘과 그 장점, 그리고 기존 EDA 툴체인(tool chain)으로의 통합 방안을 심층적으로 다룬다. 이후 이러한 기술적 진보가 제시하는 이점과 기회, 그리고 동시에 해결이 요구되는 과제와 한계에 대해 논의한다. 마지막으로 실제 사례 연구 및 응용 사례를 통해 실질적인 영향을 제시하고, 주요 연구 결과의 요약과 향후 전망을 제시하며 보고서를 마무리한다.

2. 기술적 배경

2. 기술적 배경

디지털 회로 설계 과정에서 RTL(Register Transfer Level) 설계는 핵심적인 역할을 수행한다. RTL 설계는 엔지니어가 회로의 물리적 레이아웃을 정의하기에 앞서, 추상화된 수준에서 설계의 논리적 기능을 규정하고 최적화할 수 있도록 한다. 이를 위해 엔지니어는 VHDL이나 Verilog와 같은 하드웨어 기술 언어(Hardware Description Language, HDL)를 활용하여 요구되는 상위 레벨 동작(high-level behavior)을 소프트웨어 코드 형태로 기술한다. 이러한 접근을 통해 RTL 설계는 물리적 구성 요소 및 상호 연결을 고려하기 이전 단계에서 레지스터, 연산자, 그리고 데이터 흐름 수준에서 설계를 세부적으로 조정할 수 있도록 하며, 결과적으로 전체 집적 회로 설계 주기를 간소화하는 데 기여한다 [2].



그림 2: 집적회로 설계 과정 [1]

그림 2는 집적 회로 설계 전반의 흐름을 나타내며, 노란색으로 강조된 RTL 설계 단계는 시스템 사양(specification)과 실제 회로 설계 단계 사이를 연결하는 중추적인 역할을 수행함을 보여준다.

RTL 설계는 수십 년에 걸쳐 디지털 회로 개발의 중심 요소로 자리매김해 왔으며, 수작업에 의존한 로직 게이트 조립 방식에서 출발하여 고도로 정교화되고 자동화된, 협업 중심의 설계 워크플로우로 지속적으로 발전해 왔다. 초기 TTL 기반 로직 설계에서부터 오늘날 7나노미터 이하 공정의 ASIC 설계에 이르기까지의 발전 과정은 반도체 기술 복잡성의 증가와 함께 성능, 신뢰성, 그리고 효율성에 대한 지속적인 요구가 설계 방법론 전반에 반영되어 왔음을 보여준다.

2.1 직접 회로설계에서 RTL의 역할

현대 집적 회로(IC) 설계 흐름은 장치의 사양을 실제 패키징된 반도체 칩으로 구현하는 일련의 과정을 포함한다. 이 과정은 시스템 사양과 아키텍처 설계 단계에서 시작되며, 이후 하드웨어 기술 언어(Hardware Description Language, HDL) 코드로 변환된다. 이러한 HDL 코드는 기능적 및 논리적 설계의 기반을 형성하며, 엔지니어가 물리적 구현의 세부 사항에 직접적으로 의존하지 않고 시스템의 상위 수준 기능에 집중할 수 있도록 한다. 이를 위해 설계 초기 단계에서는 시스템의 전반적인 기능을 추상화하여 표현하는 RTL 설계가 활용된다.

설계 프로세스의 초기에 RTL 설계를 적용함으로써, 엔지니어는 설계의 정확성이 충분히 검증되기 이전에 물리적 설계, 검증, 및 제작 단계에 과도한 시간과 자원이 투입되는 것을 방지할 수 있다. 이러한 접근은 전체 설계 흐름의 효율성을 제고하는 데 중요한 역할을 한다.

02. 기술적 배경

RTL 설계 과정은 몇 가지 핵심 단계로 구성된다. 먼저 시스템 사양과 아키텍처 설계를 구체화한 후, 이를 HDL 코드로 변환하여 기능적 및 논리적 설계를 생성한다. 이후 해당 설계는 넷리스트(netlist) 형태로 변환되며, 이는 실제 회로 구현을 위한 핵심적인 중간 산출물로 활용된다 [2].

RTL 설계를 IC 설계 흐름에 성공적으로 통합하기 위해서는 설계 과정에서 레지스터, 연산, 그리고 데이터 흐름을 물리적 회로로 정확하게 매핑할 수 있는 고성능 도구의 지원이 필수적이다. 또한 원활하고 효율적인 설계 프로세스를 구현하기 위해서는 초기 시스템 사양과 이후 설계 단계 간의 긴밀한 연계가 요구된다. RTL 설계를 기반으로 체계적인 설계 흐름을 구축할 경우, 엔지니어는 복잡한 IC를 보다 용이하고 정확하게 구현할 수 있다.

2.2 역사적 배경

2.2.1 초기 개발: TTL 및 RTL 로직

- **1970년대:** 디지털 논리 설계는 Texas Instruments의 SN7400 시리즈로 대표되는 TTL(Transistor-Transistor Logic) 집적회로가 주도하였다. 당시 설계자들은 이러한 IC를 직접 조합하여 맞춤형 회로를 구현하였으며, 사용 가능한 논리 함수는 인쇄된 데이터시트와 카탈로그를 기반으로 참조하였다.
- **TTL 이전 시대:** TTL이 널리 사용되기 이전에는 RTL(Register-Transistor Logic)이 활용되었으나, 속도, 안정성, 그리고 사용 편의성이 개선된 TTL이 빠르게 산업 표준으로 자리 잡았다.
- **기술적 제약:** 회로를 수동으로 조립하는 방식은 노동 집약적이며 오류 발생 가능성이 높고, 설계의 확장성 또한 제한적이다. 특히 시스템 복잡성이 증가할수록 이러한 단점은 더욱 두드러지게 나타났다.

2.2.2 1980년대의 발전: 프로그래밍 가능 논리의 등장

- **Programmable Logic Devices(PLD) 및 Complex Programmable Logic Devices(CPLD):** 1980년대 초반에는 프로그래밍 가능 논리 소자(PLD)와 복합 프로그래밍 가능 논리 소자(CPLD)가 등장하였다. 이 시기 Altera는 1984년 EP300을 출시하며 프로그래밍 가능 논리 기술의 확산을 주도하였다.
- **FPGAs:** Xilinx는 1985년 최초의 FPGA(Field Programmable Gate Array)인 XC2064를 출시하며 설계 패러다임의 전환을 이끌었다. FPGA는 재프로그래밍 가능한 하드웨어 환경을 제공함으로써 신속한 프로토타이핑과 제조 이후 설계 변경을 가능하게 하였으며, 이를 통해 혁신 속도를 가속화하고 제품 출시 기간을 단축하는 데 기여하였다.
- **의의 및 영향:** 이러한 기술적 발전은 설계의 유연성, 확장성 그리고 통합 수준을 크게 향상시켰으며, 이는 이후 현대적인 RTL 설계 방법론이 정립되는 토대를 마련하였다.

02. 기술적 배경

2.3 RTL 설계의 현대 과제: 기술 노드 축소

2.3.1 축소되는 기술 노드

- **7nm 이하 공정의 도래:** 기술 노드가 7nm 이하로 축소됨에 따라 상호 연결 지연(interconnect delay)과 용량성 부하가 증가하고 있으며, 이에 따라 타이밍 불확실성 또한 확대되고 있다. 이러한 현상은 RTL 설계 단계에서 타이밍 예측과 제약 조건 설정의 난이도를 크게 높이는 요인으로 작용한다.
- **고주파 설계:** GHz급 이상의 클럭 주파수로 동작하는 첨단 공정 환경에서는 기존 설계 방식만으로는 타이밍 클로저를 달성하는 데 한계가 존재한다. 현대 회로가 요구하는 복잡한 물리적 및 논리적 제약 조건을 충족하기 위해서는 보다 혁신적인 타이밍 분석 및 설계 접근 방식이 요구된다 [3].
- **새로운 장치 기술:** FinFET 및 GAA(Gate-All-Around) 트랜지스터 기술의 도입은 공정 미세화에 따른 성능 향상을 가능하게 하는 동시에, 정전기적 간섭 증가와 전력 밀도 상승과 같은 새로운 기술적 과제를 야기하고 있다. 이러한 요소들은 RTL 설계 및 이후 물리 설계 단계 전반에 걸쳐 추가적인 복잡성을 초래한다.

2.3.1 복잡성과 통합

- **시스템 온 칩(SoC):** 최신 SoC는 수십억 개의 트랜지스터를 포함할 뿐만 아니라, 다수의 처리 장치와 다양한 IP 블록을 단일 칩에 집적한다. 이로 인해 설계 전반에서 검증 범위가 급격히 확대되며, 타이밍 클로저를 달성하기 위한 부담 또한 크게 증가하고 있다.
- **아날로그 믹스드 시그널(AMS):** 아날로그 믹스드 시그널(AMS) 요소가 디지털 시스템에 통합됨에 따라 검증 난이도는 더욱 가중된다. 아날로그 특성은 레이아웃 구조 및 공정상의 미세한 편차에 매우 민감하게 반응하기 때문에, 기존의 디지털 중심 검증 방법론만으로는 충분한 검증을 수행하기 어렵다 [4].

2.4 RTL 설계 방법의 발전

2.4.1 설계 단계 간 협업

- **개발 초기 참여:** 타이밍 클로저를 효과적으로 달성하기 위해서는 프론트엔드 RTL 설계자와 백엔드 물리 구현 팀 간의 긴밀한 초기 협업이 필수적이다. 설계 초기 단계부터 양측이 요구 사항과 제약 조건을 공유함으로써, 이후 단계에서 발생할 수 있는 설계 충돌을 사전에 최소화할 수 있다.
- **체계적인 핸드오프:** 초기 설계 리뷰와 체계적인 이관(handoff) 프로세스를 통해 잠재적인 병목 현상과 설계 리스크를 실리콘 제조 단계 이전에 식별하고 완화할 수 있다. 이러한 접근은 반복적인 수정 비용을 줄이고 전체 설계 효율성을 향상시키는 데 기여한다.
- **AI 기반 도구:** 자동화된 검증 도구와 AI 기반 예측 모델이 설계 워크플로우에 점차 통합되면서, 설계 효율성은 향상되고 오류 발생 가능성은 감소하고 있다. 이러한 도구들은 복잡한 설계 공간을 보다 체계적으로 탐색할 수 있도록 지원하며, 전반적인 설계 품질 개선에 기여한다 [5, 6].

02. 기술적 배경

2.4.2 넷리스트 최적화 및 플로어플래닝

- **멀티 코너 최적화:** 다양한 공정(process), 전압(voltage), 온도(temperature), 그리고 공정 편차(Process-Voltage-Temperature, PVT) 조건 전반에 걸쳐 설계를 분석함으로써, 타이밍 위반을 최소화하고 회로의 신뢰성을 향상시킬 수 있다.
- **머신러닝:** 머신러닝 기반 넷리스트 분석은 타이밍 구조상 취약한 지점을 효과적으로 식별하여 선별적 최적화(targeted optimization)를 가능하게 하며, 이를 통해 타이밍 클로저를 위한 반복 횟수를 획기적으로 단축할 수 있다.
- **효율적인 플로어플래닝:** 논리 설계와 체계적인 물리 레이아웃을 병행할 경우 배선 길이를 최대 40%까지 단축할 수 있으며, 전력 그리드(grid) 최적화는 IR 드롭 현상을 완화하고 전반적인 타이밍 안정성을 향상시키는 데 기여한다 [7].

2.4.3 클록 트리 합성 및 전력 관리

- **혁신적인 CTS:** 클록 트리 합성(Clock Tree Synthesis, CTS)은 ASIC 물리 설계에서 핵심적인 단계로, 클록 신호를 소스에서 모든 순차 회로 요소(예: 플립플롭)로 균형 있게 분배하는 네트워크를 구축하는 과정이다. 이를 통해 클록 스큐(clock skew)와 지연 시간을 최소화하여 적절한 타이밍을 보장하고, 전력 소모를 줄이며, 타이밍 클로저를 달성할 수 있다. 이 과정에서는 버퍼와 인버터를 활용하여 지연 시간과 신호 무결성(signal integrity)을 관리한다. 특히 멀티 소스 분배 및 동적 스큐 보상(dynamic skew compensation)과 같은 고도화된 CTS 기법은 서브-7nm 공정 설계에서 타이밍 정확도와 전력 효율을 확보하는 데 필수적인 요소로 평가된다.
- **클록 게이팅:** 클록 게이팅(clock gating)은 디지털 회로에서 전력 소모를 절감하기 위한 대표적인 기법으로, 회로의 일부가 활성화되지 않은 상태일 때 해당 영역으로 전달되는 클록 신호를 차단하는 방식이다. 이를 통해 플립플롭 및 논리 회로에서 발생하는 불필요한 스위칭 동작을 억제함으로써, 기능적 동작에 영향을 주지 않으면서 동적 전력 소모를 크게 줄일 수 있다. 클록 게이팅은 일반적으로 인에이블 신호를 포함한 논리 회로를 삽입하여 클록 신호를 제어함으로써 회로를 '정지' 상태로 유지하는 방식으로 구현된다. 다만 ASIC이나 FPGA와 같은 복잡한 시스템에서는 글리치(glitch) 발생을 방지하고 타이밍 요구 사항을 충족하기 위해 신중한 설계와 검증이 요구된다. Kotapati의 서브-7nm ASIC 사례 연구에 따르면, 래치 기반, 래치 프리, 멀티 임계 전압(multi-threshold voltage), 그리고 통합(clock gating) 구조와 같은 최신 클록 게이팅 전략은 설계 조건에 따라 약 25~55% 범위의 전력 절감 효과를 제공하며, 특히 통합 구조에서는 45~55% 수준의 전력 절감이 보고되었다 [8].

02. 기술적 배경

2.5 검증 방법론: 전통적 접근에서 현대적 접근으로

2.5.1 전통적 접근과 그 한계 [9]

항목	전통적 접근	한계
타이밍 클로저 검증	수동 조정; 시뮬레이션 중심 시뮬레이션 기반; UVM	고주파, 서브-7 nm 설계에는 불충분함 ~85% 커버리지; 코너 케이스 미포착; 긴 검증 주기
물리 설계	수동 레이아웃 및 배선	배선 혼잡; 클록 분배 문제

표 1: 전통적 방법론과 그 한계

2.5.2 시프트-레프트(Shift-Left) 검증 [10]

- **선제적 품질 확보:** 시프트-레프트 검증은 자동화된 사전 시뮬레이션 분석을 회로 통합 단계에 포함함으로써, 누설 전류, 신호 무결성, 그리고 도메인 크로싱(domain crossing)과 관련된 위험 요소를 설계 초기 단계에서 탐지할 수 있도록 한다.
- **이점:** 초기 단계에서의 체계적인 검증을 통해 연산 집약적인 풀칩 사인오프(full-chip sign-off)에 대한 의존도를 줄일 수 있으며, 설계 리스크를 최소화하고 디버그 사이클을 가속화하는 효과를 기대할 수 있다.

2.5.3 형식 검증 및 어서션 기반 검증 [9]

- **수학적 엄밀성:** 어서션 기반 검증(Assertion-Based Verification, ABV)은 설계에 내장된 형식적 속성(assertion/property)을 활용하여 기능 검증을 자동화하는 핵심적인 방법론이다. 특히 복잡한 시스템 온 칩(SoC) 환경에서는 전통적인 시뮬레이션 기반 접근 방식보다 훨씬 빠르게 결함을 탐지할 수 있다. 이 방법론은 예상되는 설계 동작(예: “쓰기 작업 이후에는 유효한 읽기 작업이 발생해야 한다”)을 형식적으로 정의함으로써, 검증 시간과 노력을 효과적으로 절감한다. 또한 모델 체킹(model checking)과 상태 공간 탐색(state space exploration)을 통해 시뮬레이션만으로는 포착하기 어려운 코너 케이스까지 포괄하는 높은 수준의 검증 커버리지를 제공한다.
- **효율성 향상:** 형식 검증 및 ABV를 도입할 경우 검증 주기는 약 25~30% 단축되며, 프리실리콘(pre-silicon) 단계에서의 버그 탐지율은 약 20% 향상되는 것으로 보고되고 있다. 아울러 기존 방식 대비 보안 취약점 식별 정확도가 약 40% 개선되는 효과도 확인되었다.

02. 기술적 배경

2.4.4 하드웨어 지원 검증(Hardware-Assisted Verification, HAV) [11]

- **에뮬레이션 및 프로토타이핑:** FPGA 기반 에뮬레이터와 같은 하드웨어 지원 검증(HAV) 시스템은 검증 수행 속도를 획기적으로 향상시키며, 소프트웨어 브링업(software bring-up) 시점을 앞당기고 보다 높은 테스트 커버리지를 달성할 수 있도록 지원한다.
- **실동작 환경 기반 검증:** HAV는 실제 워크로드(real-world workload) 환경에서 복잡한 SoC 및 AI 가속기를 검증할 수 있도록 하여, 실리콘 리스핀(re-spin) 발생 가능성을 최소화하고 시장 출시 시간(time-to-market)을 단축하는 데 기여한다.

2.4.5 검증 분야의 AI 및 머신러닝

- **지능형 자동화:** AI 기반 분석 및 테스트 생성 프레임워크는 테스트 케이스 작성을 자동화하고, 설계 영향도가 높은 검증 항목에 우선순위를 부여한다. 또한 검증 흐름을 지능적으로 조율함으로써, 조직이 '사후 디버깅' 중심의 접근 방식에서 '사전 예방적 클로저' 중심의 검증 전략으로 전환하도록 지원한다 [12, 13, 14].
- **확장성:** 최신 검증 솔루션은 컴퓨팅 클러스터 전반에 걸친 수평적 확장이 가능하며, 3D IC, 칩렛(chiplet), 그리고 소프트웨어 중심(software-defined) 시스템과 같은 고난도 설계 환경에서도 효과적인 검증을 지원한다 [13, 15].

2.4.6 핵심 차이점: 전통적 vs. 현대 RTL 방법론

특징	전통적 RTL 방법론	현대 RTL 방법론
타이밍 클로저 검증	수동; 시뮬레이션 기반 시뮬레이션/UVM; 제한적인 커버리지	멀티 코너; ML 기반; 협업 중심 형식 검증; 어서션 기반; 시프트-레프트; AI 보강
물리 설계 전력 관리	수동 레이아웃 및 배선 기본적인 클록 게이팅	자동화; 혼잡 인지; 3D-IC 지원 동적; 멀티 임계 전압; 활동 기반 프루닝
확장성	제한적	클라우드/온프레미스; 하드웨어 지원; 분산형
디버깅	단편적; 도구별 의존	중앙집중형; 통합형; 데이터 기반

표 2: 전통적 RTL 방법론과 현대 RTL 방법론의 비교 2.6

위 표에서 나타난 바와 같이, 현대 RTL 방법론은 전통적인 시뮬레이션 중심 접근에서 벗어나, 자동화·형식 검증·AI 기반 분석을 통합함으로써 설계 복잡성 증가에 대응하고 있다. 이러한 변화는 타이밍 클로저와 검증 효율성을 동시에 향상시키는 핵심 요인으로 작용한다.

02. 기술적 배경

2.6 요약

RTL 설계 방법론의 발전은 반도체 산업 전반에서 나타나는 기술 혁신의 흐름을 그대로 반영한다. 게이트 레벨에서의 수작업 조립 방식으로 시작된 RTL 설계는 오늘날 고도로 자동화되고 협업 중심적이며, AI 기술에 의해 가속화된 설계 워크플로우로 진화하였다. 현대 RTL 설계는 기술 노드의 지속적인 축소, 집적 및 통합 수준의 증가, 그리고 높은 신뢰성과 효율성에 대한 요구로 인해 전례 없는 도전 과제에 직면해 있다.

이러한 환경 변화에 대응하기 위해 산업계는 고도화된 타이밍 클로저 기법을 비롯하여 시프트-레프트 및 형식 검증, 하드웨어 지원 검증, 그리고 AI 기반 자동화 기술을 적극적으로 도입하고 있다. 이러한 기술적 진보는 복잡성과 성능 요구가 지속적으로 증가하는 설계 환경 속에서, 오늘날의 디지털 사회를 구동하는 고성능·고신뢰성 시스템을 효과적으로 설계하고 검증할 수 있는 핵심 기반을 제공한다.

3. 기술적 기반과 역량

3. 기술적 기반과 역량

3.1 LLM 기반 RTL 설계 생성

거대 언어 모델(LLM)을 레지스터 전송 레벨(RTL) 설계 생성 과정에 통합하려는 흐름은 반도체 산업 전반에 걸쳐 빠른 변화를 촉진하고 있다. 설계 플로우를 자동화하고 최적화함으로써, LLM은 보다 신속하고 효율적이며 고품질의 칩 개발을 가능하게 하는 핵심 기술로 부상하고 있다. 본 절에서는 LLM 기반 RTL 설계와 관련된 최신 프레임워크, 상용 도구, 그리고 주요 연구 성과를 살펴보고, 이러한 기술이 생산성, 정확도, 그리고 전체 칩 설계 생태계에 미치는 영향을 분석한다.

RTL 설계는 디지털 칩 개발에서 기초적인 단계로, 상위 레벨의 아키텍처 명세를 하드웨어 논리로 변환하는 역할을 수행한다. 전통적으로 RTL 코딩과 최적화는 수작업 중심의 반복적인 프로세스와 숙련된 전문가의 경험과 역량에 크게 의존해 왔다. 그러나 전자설계자동화(EDA) 도구에 LLM 및 생성형 AI 기술이 도입되면서 이러한 설계 패러다임은 근본적인 전환을 맞이하고 있으며, 다음과 같은 주요 이점을 제공하고 있다.

- ① 코드 생성 및 검증 과정의 자동화
- ② 지능형 파라미터 튜닝을 통한 설계 효율성 향상
- ③ 임베딩 기반 검색을 활용한 설계 자산의 재사용성 강화
- ④ 주니어 및 시니어 엔지니어 전반의 생산성 향상

이와 같은 변화는 Synopsys, Cadence와 같은 주요 EDA 벤더를 비롯하여 혁신적인 스타트업들에 의해 주도되고 있다. 이들 기업은 현대 칩 설계 환경이 요구하는 복잡성과 개발 속도 문제를 해결하기 위해 LLM을 기존 툴체인에 적극적으로 통합하고 있으며, 이를 통해 차세대 반도체 설계 자동화 기술의 방향성을 제시하고 있다 [16, 17].

3.1.1 최신 동향

1. CROP: LLM 기반 VLSI 설계 플로우 튜닝 프레임워크

- CROP(Circuit Retrieval and Optimization with Parameter Guidance using LLMs)은 RTL 설계를 고차원(high dimensional) 벡터 표현으로 변환하고, 의미적으로 유사한 회로를 검색한 이후, 검색 증강 생성(Retrieval-Augmented Generation, RAG) 기반의 LLM 주도 파라미터 탐색을 수행하는 프레임워크이다.

- 연구 결과에 따르면, CROP은 전통적인 접근 방식 대비 적은 반복 횟수로 약 9.9%의 전력 감소를 달성하였으며, 전반적인 결과 품질(Quality of Results, QoR) 또한 개선된 것으로 보고되었다 [17]. 결과 품질(Quality of Results, QoR)은 반도체 설계 프로세스를 평가하는 데 사용되는 지표로, 일반적으로 여러 성능 요소를 포함하는 벡터 형태로 표현된다. 일부 경우에는 단일 차원 값으로 종합적인 성능 측정치를 나타내기도 한다. 과거에는 QoR이 주로 칩 면적, 전력 소모, 속도와 같은 절대적 수치를 나타내는 데 활용되었으나, 최근에는 공정 기술 변화와 무관하게 장기간 유효성을 유지하고, 다양한 설계 범주 전반에 걸쳐 의미를 갖도록 QoR 벡터에 정규화(normalized)된 값을 포함시키는 방향으로 발전하고 있다.

03. 기술적 기반과 역량

2. Synopsys.ai Copilot: 칩 개발을 위한 생성형 AI

- 지원(Assistive): 문서에 대한 실시간 접근, 워크플로우 자동화, 그리고 명령 실행 기능을 제공함으로써 온보딩 속도를 약 30% 향상시키고, 스크립트 작성량을 최대 20배까지 감소시키는 효과를 제공한다.
- 생성: RTL, 테스트벤치, 어서션을 자동으로 생성하며, 현재 구문(syntax) 정확도는 약 80%, 기능 정확도는 약 70% 수준으로 보고되고 있다. 다만, 생성 결과에 대해서는 여전히 설계자의 검토가 요구된다 [16].

3. InCore SoC Generator 플랫폼

- RTL을 생성하고 IP를 통합하며, FPGA 검증을 위한 부수 자료(collateral)를 수 분 이내에 생성함으로써 칩 설계 과정을 자동화한다.
- 빠른 프로토타이핑과 설계 공간 탐색을 가능하게 하여, 기존에 수개월이 소요되던 설계 주기를 수 분 단위로 단축하는 효과를 제공한다 [18].

4. 사례 연구: VerilogCoder [19]

- 이 프레임워크는 상위 레벨 플래너 에이전트(High-level Planner Agent), Verilog 엔지니어(코드 에이전트), 그리고 디버그 에이전트로 구성된 멀티 에이전트 시스템을 채택한다.
- 디버그 에이전트는 새롭게 제안된 AST 기반 파형 트레이싱(Waveform Tracing) 도구를 활용하여 스스로 생성한 코드의 파형을 추적하고, 기능적 오류를 자동으로 식별 및 수정한다.

5. 사례 연구: MAHL [20]

- MAHL은 여섯 개의 특화 에이전트(예: 생성 에이전트, 평가 에이전트 등)가 협업하는 구조를 기반으로, AI 알고리즘과 하드웨어 간 매핑, 계층적 설계 기술 생성, 그리고 다중 수준 설계 공간 탐색을 수행한다.
- 특히 실제 칩렛 설계 생성 정확도(Pass@5)를 기존 LLM 대비 0에서 0.72까지 크게 향상시켰으며, PPA 결과 또한 전문 엔지니어의 수작업 설계와 동등하거나 그 이상 수준을 달성한 점에서 주목할 만하다.

03. 기술적 기반과 역량

3.1.2 모델 성능 및 지표

도구 / 프레임워크	자동화 범위	구문 정확도	기능 정확도	생산성 향상	주요 효과
CROP (LLM 기반)	RTL 튜닝; 파라미터 탐색	N/A	N/A	적은 반복 횟수	~9.9% 전력 감소
Synopsys.ai Copilot	RTL; 테스트벤치; 어서션	80%	70%	2 - 20 배 더 빠른 스크립팅	~30% 더 빠른 온보딩
InCore SoC Generator	RTL; IP 통합; 부수 자료	결정론적	결정론적	수개월에서 수 분으로 단축	빠른 프로토타이핑; 설계 공간 탐색

표 3: 도구별 모델 성능 및 지표

3.1.3 주요 차이점 및 비교 분석

- **결정론적(Deterministic) vs. 확률론적(Probabilistic) 생성:** InCore 플랫폼은 결정론적 정밀성을 강조하여 재현 가능한 출력 결과를 보장하는 반면, Synopsys.ai Copilot과 같은 LLM 기반 생성 도구는 확률적 모델을 활용하므로 결과에 일정 수준의 가변성이 존재한다. 이에 따라 생성 결과의 신뢰성을 확보하기 위해서는 별도의 검증 절차가 요구된다 [18].
- **자동화 범위:** CROP과 Synopsys.ai Copilot은 RTL 생성 및 최적화 과정의 자동화에 중점을 두는 반면, InCore 플랫폼은 전체 SoC 통합과 설계 산출물 생성까지 자동화 범위를 확장한다는 점에서 차별성을 지닌다.
- **정확도와 검토:** 생성형 AI 도구의 전반적인 성능은 지속적으로 향상되고 있으나, 특히 기능적 정확성과 설계 규격 준수를 보장하기 위해서는 여전히 엔지니어의 검토와 판단이 필수적인 요소로 남아 있다 [16].

3.1.4 시장 전망

- **도입 속도:** 28nm 이하 첨단 실리콘 설계의 50% 이상이 이미 AI 기술을 활용하고 있는 것으로 보고되며, 도구의 기술적 완성도와 정확도가 향상됨에 따라 향후 도입 속도는 더욱 가속화될 것으로 전망된다 [16].
- **산업 영향:** NVIDIA, AMD, Qualcomm, MediaTek, Samsung Electronics, Marvell, Broadcom 등 주요 반도체 기업들은 AI 기반 EDA 도구를 적극 활용함으로써 개발 속도를 가속화하고, 성능을 향상시키며, 설계 비용을 절감하고 있다 [16].
- **과제:** 모델의 신뢰성 확보, 환각(hallucination) 현상에 대한 관리, 그리고 기존 설계 워크플로우와의 원활한 통합은 여전히 핵심 과제로 남아 있다. 향후 보다 폭넓은 산업적 수용을 위해서는 생성 결과에 대한 투명한 커뮤니케이션과 표준화된 검증 체계의 확립이 중요하다 [21].

03. 기술적 기반과 역량

3.1.5 요약

LLM 기반 RTL 설계 생성은 반도체 혁신의 새로운 국면을 여는 핵심 기술로 평가된다. 복잡한 설계 작업의 자동화, 설계 플로우의 최적화, 그리고 신속한 프로토타이핑을 가능하게 함으로써, 이러한 기술은 칩 개발 전반에서 생산성과 결과 품질을 크게 향상시키고 있다. 아직은 정확도 확보와 결정론적 출력 보장 측면에서 기술적 과제가 존재하나, LLM 및 생성형 AI 기술은 이미 EDA 생태계의 필수적인 구성 요소로 자리 잡았으며, 더 빠른 시장 출시와 고도화된 설계를 지원하는 방향으로 지속적인 진화를 이어가고 있다.

설계 팀의 관점에서는 프로젝트별 요구 사항, 허용 가능한 리스크 수준, 그리고 재현성과 창의적 설계 탐색 간의 균형을 종합적으로 고려하여 결정론적 자동화 기법과 생성형 AI 도입 전략을 수립할 필요가 있다. 기술 성숙도가 향상됨에 따라 이 두 접근 방식은 점차 융합될 것으로 예상되며, 향후 RTL 및 SoC 설계 환경에서 LLM은 중심적인 역할을 수행하게 될 것으로 전망된다.

3.2 LLM 기반 RTL 검증

RTL 검증 환경은 LLM과 첨단 AI 기법의 도입으로 인해 근본적인 패러다임 전환을 겪고 있다. 칩 설계의 복잡성이 지속적으로 증가하고, 신뢰성 확보, 보안 강화, 그리고 시장 출시 기간(Time-to-Market) 단축에 대한 요구가 더욱 엄격해짐에 따라, 전통적인 검증 방법론은 AI 기반 자동화, 머신러닝 기법, 그리고 시스템 수준 검증에 의해 보완되거나 일부는 새롭게 재정립되고 있다. 본 절에서는 LLM 기반 RTL 검증의 발전 양상과 주요 방법론, 향후 전망을 살펴보고, 대표적인 혁신 사례와 당면 과제, 나아가 산업 전반에 미치는 파급 효과를 분석한다.

RTL 검증은 반도체 설계 과정에서 디지털 회로가 실리콘 제작 이전(pre-silicon) 단계에서 의도한 대로 동작하는지를 보장하는 핵심 절차이다. 전통적으로 이 과정은 시뮬레이션 기반 접근 방식, 수작업에 의한 테스트벤치 개발, 그리고 어서션 기반 검증에 크게 의존해 왔다. 그러나 AI 가속기, 멀티코어 프로세서, 그리고 이기종 통합(heterogeneous integration) 기술의 확산으로 설계 복잡성이 기하급수적으로 증가함에 따라, 기존 검증 방법론은 구조적인 한계에 직면하게 되었다. 이에 대응하여 업계 전반에서는 검증 플로우의 자동화와 커버리지 및 효율성 향상을 목표로, LLM을 포함한 AI 기반 검증 솔루션을 적극적으로 도입하고 있다 [9].

3.2.1 최신 동향

1. 형식 검증과 어서션 기반 기법 [9]

- **수학적 엄밀성:** 형식 검증은 모델 체킹(model checking)과 시계열 논리(temporal logic)와 같은 수학적 모델을 활용하여 설계의 모든 가능한 상태를 포괄적으로 탐색함으로써, 설계 초기 단계에서 광범위한 버그 탐지를 가능하게 한다.
- **Assertion-Based Verification(ABV):** 동작 검사를 설계에 직접 임베딩함으로써, 시뮬레이션 기반 검증에서 쉽게 드러나지 않는 미묘한 오류를 효과적으로 포착할 수 있다.

03. 기술적 기반과 역량

5. 시스템 수준 테스트(System-Level Testing, SLT)

• **실사용 환경 기반 검증:** SLT는 하드웨어와 소프트웨어 간 상호작용, 전원 온·오프 사이클, 그리고 열 변화 등 실제 운용 환경을 반영한 미션 모드(mission-mode) 시나리오에서 칩의 동작을 평가한다. 이를 통해 설계 단계에서는 식별하기 어려운 복합적인 오류 조건을 검증할 수 있다.

• **결과:** 이러한 접근 방식은 잠재적으로 숨겨진 결함을 효과적으로 탐지하고 전반적인 제품 품질을 향상시키며, 특히 미션 크리티컬 응용 분야에서 리콜 발생 가능성과 필드 불량률 감소시키는 데 기여한다 [15].

3.2.2 모델 성능 및 핵심 지표

검증 방법	커버리지	버그 탐지율	검증 주기	보안 정확도	출시 시간 영향
시뮬레이션 기반	~ 85%	기준(Baseline)	기준(Baseline)	기준(Baseline)	기준(Baseline)
형식 검증(ABV)	> 95%	+20% 향상	25-30% 단축	+40% 향상	가속화됨
하드웨어 지원(HAV)	> 99%	+30% 향상	수십 배 가속	+50% 향상	대폭 단축
ML 기반 ATPG	> 99%	+25% 향상	20% 단축	+35% 향상	개선됨
시스템 수준 테스트(SLT)	100%*	+30% 향상	15% 단축	+40% 향상	개선됨

주: *SLT 커버리지는 전제 상태 공간이 아닌, 실사용 시나리오 및 미션 모드 중심의 커버리지를 의미함.

표 4: 검증 방법별 커버리지 및 성능 지표 비교

3.2.3 주요 차이점: 전통적 vs. LLM/AI 기반 RTL 검증

구분	전통적 검증 (Traditional)	LLM/AI 기반 검증 (AI-Driven)
테스트 생성	수동 작성, 스크립트 의존	자동화, 생성형 AI 및 ML 모델 기반
커버리지	시뮬레이션 범위에 국한됨	형식 검증/AI를 통한 포괄적 커버리지
디버깅	사후 대응(Reactive), 수동 분석	예측적(Predictive), 자동화, 자가 수정
확장성	설계 복잡도 증가 시 확장성 한계	클라우드/분산 자원 활용 고확장성
검증 환경	제한적 (주로 포스트 실리콘)	지속적, 시스템 레벨, 문맥 인지형
적용성	정적(Static), 변화 대응 느림	동적(Dynamic), 데이터 피드백 학습

표 5: 전통적 검증과 LLM/AI 기반 RTL 검증의 비교 분석

03. 기술적 기반과 역량

3.2.4 시장전망

- **도입 추세:** 업계 전반에서는 시뮬레이션, 형식 검증, 정적 분석 엔진을 하드웨어 가속과 결합한 통합형 AI 보강(AI-augmented) 검증 플로우로의 전환이 빠르게 진행되고 있다. 이러한 변화는 검증 성능과 처리 효율을 동시에 향상시키는 방향으로 전개되고 있다 [15].
- **AI 및 ML 통합:** AI 기반 테스트 생성, 회귀(regression) 최적화, 예측 분석 등 머신러닝 기법이 검증 플로우에 점진적으로 도입됨에 따라, 데이터 기반 의사결정과 자동화를 통해 보다 신속하고 신뢰성 높은 검증 환경이 구축되고 있다 [12, 23, 13].
- **시스템 수준 증시:** SoC 기능의 고도화와 동작 환경의 다양화로 인해, 시스템 레벨 및 문맥 인지형(Context-aware) 테스트는 설계 신뢰성과 규격 준수를 보장하기 위한 필수 요소로 부상하고 있다 [9].

3.2.5 요약

LLM 기반 RTL 검증은 수학적 엄밀성, AI 기반 자동화, 그리고 실사용 환경 검증을 결합함으로써, 현대 칩 설계 환경에서 나타나는 급격한 복잡도 증가에 대응하는 새로운 검증 패러다임을 제시한다. 주요 혁신 요소는 다음과 같다.

- **형식 및 하이브리드 검증:** 시뮬레이션 중심 검증의 한계를 극복하고, 보다 포괄적인 커버리지 확보와 조기 버그 탐지를 가능하게 한다.
- **시프트-레프트 및 시스템 수준 테스트:** 검증을 설계 초기 단계로 이동시켜 선제적인 품질 보증을 실현하고, 실사용 환경에서의 신뢰성을 효과적으로 확보한다.
- **하드웨어 지원 및 ML 기반 테스트:** 검증 사이클을 가속화하고 커버리지를 향상시키는 동시에, 실리콘 리스핀 발생 위험을 최소화한다.
- **AI/LLM 통합:** 테스트 생성, 자가 수정, 그리고 예측 분석의 자동화를 통해 지능적이고 적응적인 검증 환경을 구현한다.

LLM, 머신러닝, 그리고 차세대 검증 방법론의 융합은 칩 설계 전반에서 효율성, 신뢰성, 그리고 보안성에 대한 새로운 기준을 제시할 것으로 전망된다. 이를 통해 점차 고도화되는 연결성 및 데이터 중심 환경에 부합하는 차세대 디바이스 구현을 위한 견고한 기술적 토대가 마련될 것으로 기대된다.

03. 기술적 기반과 역량

3.3 기타 AI/ML 기반 EDA 도구 및 프레임워크

LLM 이외에도 이를 보완하는 AI 및 머신러닝 기반 도구와 소프트웨어 중심 EDA 프레임워크로 구성된 광범위한 기술 생태계가 형성되어 있다. 이러한 도구들은 거대 언어 모델을 직접 활용하지는 않지만, 라이브러리 생성, 머신러닝-하드웨어 매핑과 같은 특정 설계 단계에 머신러닝 기법을 적용하거나, LLM 및 에이전트 기반 자동화를 구현하기 위한 프로그래머블 환경을 제공한다.

이와 같은 접근은 AI와 소프트웨어 중심(software-first) 방법론이 아날로그, 디지털, 그리고 물리 설계 플로우 전반에 걸쳐 확산되고 있음을 보여주며, 차세대 반도체 설계 자동화 환경의 기반을 점진적으로 강화하고 있다.

3.3.1 아날로그 설계

1. Axion

- 표준 셀 라이브러리의 자동 생성을 위한 AI 기반 도구(Axion Cell)와 제조 적합성 및 수율 최적화를 지원하는 도구(Axion DFM)를 제공한다.
- 레이아웃 및 공정 데이터를 학습하여 전력, 성능, 면적(Power, Performance, and Area; PPA)과 수율을 개선하는데 활용되며, 이는 AI가 생성한 RTL 및 이후 구현 단계와 자연스럽게 연계되는 다운스트림 파트너 역할을 수행한다.

2. Analogue Insight [24]

- 고성능 아날로그, 믹스드 시그널, RF, 그리고 칩렛 수준의 설계 및 IP를 주로 첨단 공정 노드 환경에서 제공한다.
- 시스템 수준 설계 및 검증 과정에서 이러한 블록들이 매크로 형태로 취급된다는 점에서, AI 및 EDA 플로우가 통합적으로 고려해야 하는 특수 아날로그 및 믹스드 시그널 영역을 대표하는 사례로 평가된다.

3.3.2 디지털 설계

1. TensorFlow 기반 RTL 합성 (TensorFlow → HLS → RTL) [25]

- XLA, LLVM, HLS를 활용하여 TensorFlow 연산 그래프를 하드웨어로 컴파일함으로써, 최소한의 수동 코딩만으로 머신러닝 모델을 합성 가능한 RTL 형태로 변환한다.
- 특히 머신러닝 가속기 설계에 유용하며, 언어 기반(언어 → RTL)이 아닌 그래프 기반(그래프 → 하드웨어, 데이터 플로우 → RTL) 접근이라는 점에서 LLM 기반 RTL 생성 기법과 상호보완적인 특성을 지닌다.

03. 기술적 기반과 역량

2. LegUp (C/C++ → Verilog HLS) [26]

- C/C++ 코드를 Verilog HDL로 컴파일하는 오픈소스 고급 합성(HLS) 도구로, 상용 HLS 도구와 대등한 수준의 결과 품질이 입증되었다.
- 동작 방식이 결정론적이고 명확하다는 점에서, LLM이 C/HLS 코드 및 지시문을 생성·리팩터링하고, LegUp이 신뢰 가능한 RTL 컴파일을 수행하는 협업 구조를 구현할 수 있다.

3. PyRTL: 파이썬 기반 RTL 프레임워크 [27]

- RTL 설계, 시뮬레이션, 트레이싱, 테스트, 그리고 Verilog 출력 기능을 지원하는 파이썬 라이브러리로, 신속한 프로토타이핑과 교육 목적에 적합하다.
- 설계가 파이썬 객체 형태로 표현되므로, LLM 또는 에이전트 기반 시스템이 Verilog를 직접 출력하기 이전 단계에서 RTL을 프로그래밍 방식으로 생성하고 검증할 수 있는 유연한 실험 환경(Playground) 역할을 수행한다.

4. GDSFactory (파이썬 기반 레이아웃 및 EPDA 통합) [28]

- 포토닉스, 아날로그, 양자, MEMS, PCB 등 다양한 영역의 파라메트릭 칩 레이아웃 생성을 지원하는 파이썬 프레임워크로, GDS, OASIS, GERBER 파일의 자동 생성과 시뮬레이터 및 DRC/LVS 도구와의 통합 기능을 제공한다.
- 레이아웃 제어를 위한 소프트웨어 API를 제공함으로써, RTL 및 구현 이후 단계에서 LLM 또는 에이전트 기반 시스템이 레이아웃 생성과 검증을 스크립팅 방식으로 수행할 수 있는 최적의 엔드포인트 역할을 한다.

4. 글로벌 동향과 산업 채택

4. 글로벌 동향과 산업 채택

4.1 EDA 툴체인으로의 통합

첨단 기술과 설계 방법론이 전자설계자동화(EDA) 툴체인에 통합됨에 따라, 반도체 및 전자 산업 전반의 구조가 빠르게 재편되고 있다. 인쇄회로기판(PCB)부터 고도로 복잡한 집적회로(IC)에 이르기까지 전자 시스템의 설계·시뮬레이션·검증을 담당하는 EDA 도구는, 설계 복잡도의 증가와 시장 요구의 고도화, 그리고 글로벌 공급망 환경 변화에 대응하기 위해 지속적으로 진화하고 있다. 최근의 주요 흐름은 통합 사용자 인터페이스의 강화, AI 기반 자동화 도입, 클라우드 기반 협업 환경 확산, 그리고 중소기업 및 스타트업을 포함한 다양한 사용자 계층을 위한 접근성 제고로 요약할 수 있다.

4.1.1 EDA 툴체인의 진화

- **역사적 배경:** 지난 약 50년간 반도체 및 전자 시스템의 비용과 복잡성은 급격히 증가해 왔으며, 이에 따라 막대한 비용이 투입되는 제조 단계 이전에 기능적 정확성과 제조 적합성을 확보하는 것이 필수적인 과제가 되었다. 이러한 배경에서 EDA 도구는 반도체 설계 전반을 뒷받침하는 핵심 인프라로 자리매김하였다.
- **벤더 지형:** 현재 EDA 시장은 Cadence, Siemens EDA, Synopsys 등 3대 주요 벤더가 주도하고 있다. 이들 기업은 적극적인 인수합병 전략을 통해 기술 포트폴리오를 지속적으로 확장해 왔으나, 그 과정에서 사용자 경험의 파편화(fragmentation)와 툴 간 상호운용성(interoperability) 문제를 야기하는 사례도 일부 발생하였다.
- **글로벌화와 접근성:** 싱가포르의 A*Star가 추진하는 EDA Garage와 같은 이니셔티브는 첨단 EDA 도구에 대한 접근성을 확대함으로써, 스타트업과 중소기업 또한 고부가가치 칩 설계와 기술 혁신에 적극적으로 참여할 수 있는 환경을 조성하고 있다 [29].

4.1.2 최신 개발 동향

1. 사용자 환경 통합과 AI 접목

- **Siemens EDA의 하이브리드 접근:** Siemens는 Xpedition, HyperLynx, PADS Professional 전반에 걸쳐 단일 통합 사용자 인터페이스(UI) 환경을 구축하고, 공정 예측, 시뮬레이션 최적화, 그리고 엔지니어링 지원을 위한 전통적 AI 기술을 통합하는 데 앞장서고 있다. 이러한 접근은 설계 생산성을 향상시키고 시장 출시 시간을 단축하는 동시에, 도구를 보다 직관적이고 협업 친화적으로 개선함으로써 숙련 인력 부족 문제를 완화하는 데 기여한다 [30].
- **클라우드 협업:** 클라우드 기반 협업 환경의 도입을 통해 설계 데이터의 연결성과 보안성이 강화되었으며, 분산된 설계 팀 간의 효율적인 협업과 안전한 데이터 공유를 지원하고 있다.

04. 글로벌 동향과 산업 채택

2. AI 기반 설계 플로우와 첨단 노드 지원

• **Intel Foundry 협업:** Cadence, Synopsys, Siemens EDA는 Intel의 첨단 18A 및 14A-E 공정 노드를 위한 AI 기반 설계 플로우를 양산 가능한 수준(production-ready)으로 발표하였다. 해당 플로는 새로운 트랜지스터 아키텍처인 RibbonFET과 첨단 패키징 기술인 EMIB-T를 지원한다. 이러한 협업은 미국 내 반도체 제조 역량을 재활성화하고, AI, 고성능 컴퓨팅(HPC), 모빌리티 응용 분야에서의 시장 출시를 가속화하는 것을 목표로 한다 [31].

3. 접근성과 교육 이니셔티브

• **EDA Garage(싱가포르):** A*Star가 주도하는 EDA Garage 프로그램은 유연한 사용량 기반(pay-per-use) 라이선스 모델과 벤더 주도의 교육 프로그램을 통해 현지 기업의 기술 진입 장벽을 낮추고, 반도체 설계 분야에서의 기술 혁신과 생태계 성장을 촉진하고 있다 [29].

4.1.4 모델 성능 및 기능 비교

벤더 / 이니셔티브	주요 기능 및 통합	AI 기능	협업 / 접근성	영향 / 전망
Siemens EDA	Xpedition, HyperLynx, PADS Pro, Teamcenter/NX 통합	예측형(Predictive) AI	클라우드, 통합 UI	생산성 향상 및 인력 부족 대응
Intel Foundry	Cadence, Synopsys, Siemens 협업 (18A/14A-E 지원)	AI 기반 설계 플로	칩렛 얼라이언스 (UCIe)	미국 내 제조(Onshoring) 활성화
EDA Garage (싱가폴)	Cadence, Keysight, Synopsys (교육 지원)	벤더 기술 지원	유연한 종량제 (Pay-per-use)	SME 및 스타트업 혁신 촉진
UniVista (중국)	디지털 집 검증, 고속 IP 솔루션	완전 디지털 플로	자국 내 무상 제공	공급망 자립도 및 탄력성 제고
Analog Devices	CodeFusion Studio, 데이터 출처 보증	오픈소스 플러그인	System Planner 유틸리티	임베디드 효율성 및 데이터 보안

표 6: EDA 벤더 및 주요 이니셔티브별 기능과 전망 비교

4.1.5 통합 전략의 주요 차이점

• **전통적 예측형 AI vs. 생성형 AI:** Siemens EDA의 현재 통합 전략은 결정론적 결과 도출을 중시하는 전통적 예측형 AI에 집중하고 있다. 이는 핵심 시스템 설계 과정에서 생성형 AI가 초래할 수 있는 잠재적 리스크를 최소화하기 위한 접근으로 해석된다 [30].

04. 글로벌 동향과 산업 채택

- **통합 UI vs. 도구 파편화:** 단일 통합 사용자 인터페이스(UI)는 학습 곡선을 완화하고 설계 주기를 단축하는 데 기여하는 반면, 인수합병 과정에서 형성된 파편화된 툴체인은 상호운용성 저하로 인해 전체 생산성을 저해하는 요인으로 작용할 수 있다.
- **클라우드와 협업:** 클라우드 기반 플랫폼과 공통 UI 환경은 지리적으로 분산된 설계 팀 간 협업을 촉진하며, 글로벌 프로젝트 수행에 필수적인 데이터 보안 수준을 강화하는 역할을 한다.
- **시장 접근성:** EDA Garage나 UniVista의 무상 제공 프로그램과 같은 이니셔티브는 첨단 설계 도구에 대한 진입 장벽을 완화함으로써, 반도체 설계 생태계의 전반적인 성장을 촉진하고 지정학적 교란에 대한 자생력(resilience)을 강화하는 데 기여하고 있다.

4.1.6 시장 전망

- **AI 기반 변혁:** 단순한 패턴 인식 단계에서 자율 에이전트형 어시스턴트에 이르기까지 AI 기술의 통합은 EDA 워크플로우를 근본적으로 변화시킬 것으로 전망된다. 이러한 변화는 제품 로드맵을 가속화하고, 엔지니어 간 지식 공유와 협업을 활성화하는 방향으로 전개될 것으로 예상된다 [21].
- **3D IC 및 칩렛 통합:** Siemens Innovator3D IC Suite, Calibre 3DStress와 같은 차세대 EDA 도구는 2.5D/3D IC 설계에서 요구되는 복잡성을 해소하고, 시스템 중심 접근 방식과 차세대 컴퓨팅 수요에 대응하기 위한 다중물리(multi-physics) 모델링을 지원한다 [33].
- **지정학적 불확실성:** 지속되는 미·중 간 긴장 관계와 수출 규제 환경은 향후 EDA 벤더의 전략 수립, 도구 접근성, 그리고 지역별 기술 혁신 방향을 좌우하는 핵심 변수로 작용할 것으로 전망된다.

4.1.7 요약

첨단 기능의 확장, 단일 통합 인터페이스의 도입, 그리고 AI 기반 자동화의 결합은 EDA 툴체인 전반에서 반도체 설계의 효율성, 협업 수준, 그리고 접근성을 새로운 단계로 끌어올리고 있다. 전통적인 AI 기법은 생산성 향상과 설계 리스크 감소를 목적으로 이미 폭넓게 활용되고 있는 반면, 업계는 향후 설계 워크플로우에 적용될 생성형 AI 및 에이전트형 AI의 도입에 대해서는 신중한 검토와 단계적 적용 전략을 병행하고 있다.

통합 UI, 클라우드 기반 협업 환경, 그리고 유연한 라이선스 모델은 특히 중소기업과 스타트업의 기술 혁신 진입 장벽을 낮추는 데 기여하고 있다. 동시에 지정학적 요인은 지역별 적응 전략과 자국 중심 EDA 솔루션의 등장에 중요한 영향을 미치고 있다. 반도체 설계 생태계가 지속적으로 진화함에 따라, 설계 워크플로우를 통합·최적화·보안하는 역량은 경쟁력을 유지하고 AI 시대의 요구를 충족하기 위한 핵심 요소로 자리매김할 것이다.

4.2 반도체 산업 내 첨단 검증 및 설계 기법의 도입 효과와 기회

반도체 산업은 첨단 검증 방법론, 인공지능 기술, 그리고 하드웨어 지원 솔루션의 통합을 통해 심층적인 변화를 겪고 있다. 이러한 기술적 혁신은 설계 주기를 가속화하고 신뢰성을 향상시키는 데 그치지 않고, 칩 개발 전반에서 효율성, 확장성, 그리고 보안성을 확보할 수 있는 새로운 기회를 창출하고 있다. 본 절에서는 최신 기술 발전 동향을 살펴보고, 이를 통해 도출되는 실질적인 이점과 함께 엔지니어 및 기업이 전략적으로 활용할 수 있는 기회를 분석한다.

4.2.1 배경: 검증 및 설계 혁신의 필요성

- **복잡성 증대(Rising Complexity):** 현대 반도체 칩은 수십억 개의 트랜지스터와 다수의 처리 유닛, 그리고 다양한 기능 블록을 단일 칩에 통합하고 있어, 전통적인 검증 방법만으로는 설계의 신뢰성과 성능을 충분히 보장하기 어려운 상황에 직면하고 있다.
- **시장 출시 압력:** 공정 기술이 7nm 이하의 초미세 노드로 전환됨에 따라, 개발 주기의 단축과 조기 오류 탐지에 대한 요구는 그 어느 때보다도 높아지고 있다. 이는 검증 및 설계 방식의 근본적인 혁신을 요구하는 주요 요인으로 작용한다.
- **전력 및 보안 이슈:** AI, IoT, 모바일 애플리케이션의 확산으로 인해 전력 효율 관리와 보안 검증은 설계 과정에서 핵심적인 우선순위로 부상하였다. 이에 따라 설계 초기 단계부터 전력 및 보안을 고려한 검증 전략의 중요성이 더욱 강조되고 있다.

4.2.2 최신 개발 및 혁신

1. 통합 및 AI 기반 검증 워크플로우

- **Siemens의 Questa One Solution:** 인텔리전스, 통합성, 적응성을 핵심 개념으로 시뮬레이션, 형식 검증, 그리고 정적 분석 엔진을 하나의 환경으로 통합하여 일관된 검증 워크플로우를 제공한다. 내장된 AI 및 분석 기능은 실질적인 인사이트를 도출함으로써 검증 방식을 사후 대응형(reactive)에서 예측형으로 전환하며, 클라우드 인프라 기반의 확장성을 확보한다 [15].
- **Assertion-Based Verification(ABV):** 형식 검증과의 결합을 통해 빈틈없는 커버리지를 달성하며, 이를 통해 검증 주기를 약 25~30% 단축하고 버그 탐지율 및 보안 취약점 식별 역량을 향상시키는 효과가 보고되고 있다 [9].

04. 글로벌 동향과 산업 채택

2. 하이브리드 및 하드웨어 지원 검증

- **하이브리드 방법론:** 형식 검증의 수학적 엄밀성과 동적 시뮬레이션의 실행 속도를 결합한 접근 방식으로, PCIe Gen5/6, USB 4.0, Ethernet과 같은 고속 인터페이스 검증에 효과적이다. FPGA 기반 검증은 전체 검증 시간을 최대 60%까지 단축하며, AI 기반 테스트 생성은 커버리지 달성을 자동화하고 중요도가 높은 시나리오를 우선적으로 검증한다 [35].
- **하드웨어 지원 검증(HAV):** Synopsys의 FPGA 기반 에뮬레이션 및 프로토타이핑 시스템은 검증 사이클을 가속화하고 조기 소프트웨어 브링업을 가능하게 하며, 높은 커버리지를 통해 실리콘 리스핀 위험을 줄이고 설계 정확도를 향상시키는 데 기여한다 [11].

3. 시프트-레프트 및 조기 신뢰성 검사

- **시프트-레프트 검증:** 자동화된 사전 시뮬레이션 분석과 그레이 박스(gray-box) 테스트를 활용하여 검증 활동을 설계 초기 단계로 이동시킨다. 이를 통해 누설 전류, 신호 무결성, 도메인 크로싱(Clock Domain Crossing)과 같은 잠재적 위험 요소를 치명적인 문제로 발전하기 이전에 조기 탐지할 수 있다 [10].

4. 검증에서의 AI와 자동화

- **AI 기반 검증:** Xcelium SimAI, UClE Verification IP와 같은 도구는 버그 탐지 및 멀티다이 시스템 검증을 최적화함으로써 테스트벤치 구축 시간을 단축하고 전반적인 생산성을 향상시킨다 [36].
- **버그 탐지를 위한 머신러닝:** 머신러닝 기반 예측 알고리즘은 시뮬레이션 로그, 커버리지 데이터, 그리고 파형(waveform)을 분석하여 취약 패턴과 버그 후보를 자동으로 분류 및 우선순위화한다. 또한 커버리지 지향 테스트 생성(coverage-directed test generation)을 통해 테스트 생성을 자동화함으로써, 제한된 시뮬레이션 자원으로도 보다 신속한 커버리지 달성을 가능하게 한다 [37].

5. 전력 인식(Power-aware) 및 저전력 검증

- **종합적인 전력 검증:** 전력 인식 시뮬레이션과 하이브리드 접근법(시뮬레이션과 형식 검증의 결합)을 통해 정적 및 동적 전력 문제를 동시에 다루며, 다양한 전력 상태와 전력 도메인에서의 기능적 무결성을 보장한다 [38].

6. CXL 시스템에서의 AI 기반 발전

- **어댑티브 테스트벤치 및 예측 디버깅:** AI 알고리즘은 복잡한 이기종(heterogeneous) 컴퓨팅 환경, 특히 CXL 인터커넥트 기반 시스템에서 테스트 커버리지를 동적으로 조정하고, 근본 원인 분석(root-cause analysis)을 최적화하는 데 활용되고 있다 [39].

4.2.3 모델 성능 및 효율성 향상

혁신 영역	핵심 기법 및 기술	성능 / 효율성 향상
통합 검증 워크플로우	AI; 분석; 통합 엔진	회귀 테스트(Regression Test) 처리량 43% 향상; 더 빠른 사인오프[15]
Assertion 기반 검증	모델 체킹; 시계열 논리; ABV	25-30% 주기 단축; 20% 버그 탐지 향상[9]
하이브리드 검증	FPGA 기반 에뮬레이션; AI 테스트 생성	60% 시간 단축; 90% 테스트 커버리지[35]
하드웨어 지원 검증	FPGA 에뮬레이션; 사이클 정밀 프로토타입	수십 배 빠른 검증 사이클; 초기 소프트웨어 검증[11]
시프트-레프트 검증	사전 시뮬레이션 분석; 그레이 박싱	조기 리스크 탐지; 사인오프 의존도 감소[10]
AI 기반 검증	SimAI; UCle VIP; 머신러닝	버그 탐지 향상; 빌드 시간 단축[36]
전력 검증	전력 인지 시뮬레이션; 하이브리드 기법	전력 모드 전반에서의 신뢰성 있는 동작 확보[38]
CXL 시스템 검증	적응형 테스트벤치; 예측 디버깅	커버리지 및 효율성 향상[39]

표 8: 모델 성능 및 효율성 향상(최근 혁신 사례)

4.2.4 주요 차이점과 전략적 기회

- **전통적 vs. 현대 검증:** 전통적인 검증 방법론(수동, 시뮬레이션 기반)은 설계 규모와 복잡성 증가에 따라 한계에 직면하고 있는 반면, 현대적 접근 방식은 AI, 하드웨어 가속, 그리고 형식 검증 기법을 활용하여 포괄적인 커버리지와 높은 검증 속도를 동시에 달성하는 것을 목표로 한다.
- **조기 vs. 후반 오류 검출:** 시프트-레프트 전략과 사전 시뮬레이션 검사는 오류를 설계 초기 단계에서 포착함으로써, 고비용의 실리콘 리스핀 발생 가능성을 줄이고 전반적인 시장 출시 속도를 가속화한다.
- **확장성과 적응성:** 클라우드 기반 및 하드웨어 지원 검증 솔루션은 대규모 멀티다이(Multi-die) 및 이기종 시스템에 대한 검증을 가능하게 하여, 향후 AI 및 고성능 컴퓨팅 수요 증가에 유연하게 대응할 수 있는 기반을 제공한다.
- **보안 및 전력 관리:** 형식 검증 및 전력 인지(power-aware) 검증 방법론은 AI, IoT, 모바일 애플리케이션에서 요구되는 높은 수준의 보안성과 에너지 효율성을 동시에 보장하는 핵심 수단으로 활용되고 있다.

4.2.5 요약

AI, 하드웨어 지원 검증, 그리고 첨단 검증 방법론의 융합은 반도체 설계 및 검증 프로세스를 근본적으로 변화시키고 있다. 이러한 기술적 진보는 속도, 커버리지, 신뢰성, 그리고 효율성 측면에서 정량적인 개선 효과를 제공하며, 선제적인 리스크 관리와 차세대 시스템 수요에 효과적으로 대응할 수 있도록 지원한다.

이와 같은 기술을 전략적으로 도입하는 조직은 새로운 산업적 기회를 선제적으로 활용하고 개발 비용을 절감하는 동시에, 빠르게 변화하는 시장 환경 속에서 고품질·저전력·보안성이 강화된 반도체 제품을 제공함으로써 지속 가능한 경쟁 우위를 확보할 수 있을 것으로 전망된다.

4.3 EDA 벤더 및 기술 기업 동향

4.3.1 상위 3대 EDA 벤더의 상용화 단계

3대 주요 EDA 벤더인 Synopsys, Siemens EDA, Cadence는 자사의 핵심 툴체인 전반에 AI 기술을 심층적으로 통합하며, 기존의 AI 기반(AI-based) 접근에서 AI 주도(AI-driven) 설계 환경으로의 전환을 공식적으로 선언하고 있다.

1. Synopsys.ai Copilot [40]

- Synopsys.ai 전체 스택에 통합된 생성형 AI 어시스턴트로, 설계 워크플로우 전반에서 생산성 극대화를 주요 목표로 한다.
- 생산성: 정보 검색 및 스크립트 생성 작업에서 최대 10배에 달하는 응답 속도 향상이 보고되었다.
- QoR/품질: 형식 검증(Formal Verification) 워크플로우에서 엔지니어링 생산성이 약 35% 향상된 것으로 보고되고 있다.

2. Siemens Aprisa AI [41]

- 물리 설계(Placement & Routing)에 특화된 차세대 AI 기반 솔루션으로, 첨단 공정 환경에서의 설계 복잡도 증가에 대응하기 위해 개발되었다.
- 생산성: 최대 10배 수준의 설계 생산성 향상 효과를 제시하고 있다.
- PPA: 전력, 성능, 면적(Power, Performance, Area; PPA) 지표에서 최대 약 10% 수준의 개선이 가능함을 실증적으로 입증하였다.

3. Cadence ChipGPT [42, 43]

- Renesas와의 협업을 통해 개발된 LLM 기반 설계 및 문서화 도구인 ChipGPT와, AI 기반 PPA 최적화 도구인 Cerebrus를 포함한다. 특히 Cadence는 PPA 개선 효과에 대한 다수의 실증적 고객 사례(customer evidence)를 보유하고 있다.
- PPA: 최대 20% 수준의 PPA 개선이 가능한 것으로 보고되고 있다.
- 고객 사례: Renesas는 Cerebrus 도입을 통해 약 20%의 PPA 향상을 달성하였으며, ARM은 3nm 공정 기반 Neoverse V2 코어에서 누설 전력을 약 38% 절감하였다. 또한 Imagination Technologies는 5nm GPU 설계에서 누설 전력을 약 20% 감소시킨 것으로 보고되었다.

벤더	핵심 제품	AI 기술	생산성 향상 지표	PPA/QoR 개선율	주요 도입 사례
Synopsys	Synopsys.ai Copilot	GenAI (Assistive)	정보 검색 10×; 형식 검증 생산성 35%	—	—
Siemens EDA	Aprisa AI	ML (Optimization)	최대 10× 개선	10% PPA 개선	—
Cadence	Cerebrus, ChipGPT	ML (Optimization), GenAI	5×-10× 설계 가속	최대 20% PPA (ARM: 3nm 누설 전력력 ↓ 38%)	Renesas; ARM; Imagination

표 9: 주요 EDA 벤더별 AI 솔루션 및 상용화 지표

4.3.2 글로벌 팹리스 및 기술 기업 동향

1. Apple: Apple은 생성형 AI를 개별 도구가 아닌, 전체 칩 설계 워크플로우의 생산성 레이어로 통합하여 커스텀 실리콘 개발 속도를 가속화하는 전략을 추진하고 있다.

- Cadence, Synopsys 등 주요 EDA 벤더의 최신 AI 기반 설계 도구를 포함한 최첨단 툴체인을 적극 활용
- SoC 아키텍처 설계, 반복 설계(iteration), 검증 단계 전반에서 생산성 향상을 목표로 함
- 하드웨어 기술 수석부사장 Johny Srouji는 Imec 시상식 연설에서, AI 기반 EDA 도구를 통해 더 짧은 시간 안에 더 많은 설계 작업이 가능해질 것이라고 언급함 [44]

2. NVIDIA: NVIDIA는 범용 LLM이 아닌 도메인 특화 사전학습 모델을 중심으로 한 AI-EDA 전략을 통해 설계 생산성과 품질을 동시에 향상시키고 있다.

- ChipNeMo는 Llama 2 기반 모델에 하드웨어 용어 토큰라이저를 적용하고, 내부 설계 문서, 아키텍처 사양, 버그 리포트, 코드베이스 등 독점 데이터를 활용한 도메인 적응 지속 학습(DAPT)을 수행
- 검색 증강 생성(RAG)을 통해 도메인 지식을 실시간으로 주입
- 엔지니어링 어시스턴트, EDA 스크립트 생성, 버그 요약 및 분석에 적용 범용 모델 대비 성능을 개선하면서도 모델 크기를 최대 5배까지 경량화하는 성과를 달성
- IP 보호를 위해 온프레미스/보안 VPC 기반 학습과 퍼블릭 클라우드 기반 대규모 연산을 병행하는 하이브리드 AI-EDA 인프라 모델을 채택 [45-47]

3. Intel: Intel은 칩 설계자이자 파운드리 사업자라는 이중적 지위를 활용하여 AI-EDA를 파운드리 차별화 수단으로 활용하고 있다.

- Intel Foundry Accelerator EDA Alliance를 통해 3대 EDA 벤더와 협력
- 자사의 18A 및 14A-E 공정 노드에 최적화된 AI 기반 설계 플로우를 공동 개발
- AI-EDA 기술력을 핵심 경쟁 요소로 삼아 파운드리 고객 유치를 가속하는 전략을 전개 [48]

4. ARM: ARM은 직접적인 설계 자동화보다는 IP 생태계 전반의 거버넌스와 표준화 역할에 집중하고 있다.

- OCP(Open Compute Project)를 통해 Foundation Chiplet System Architecture(FCSA)와 같은 오픈 표준을 제안
- AI 가속기와 칩렛 중심으로 재편되는 반도체 생태계에서 중앙 조정자 역할을 수행
- IP, EDA, 시스템 레벨 설계 간 상호운용성 기준을 제시함으로써 생태계 확장을 유도 [49]

5. Google / Amazon: Google과 Amazon은 클라우드 서비스 제공업체(CSP)로서, 고객·플랫폼 제공자·EDA 파트너라는 삼중 역할(Triple-Threat)을 통해 AI-EDA 시장 구조를 재편하고 있다.

- 자체 ASIC 설계 과정에서 차세대 AI 특화 물리 설계 도구를 직접 활용
- Marvell, Siemens 등 파트너사의 EDA 워크로드를 AWS 클라우드로 이전하여 사실상 무한한 확장성을 제공
- Amazon은 Siemens와 협력하여 Calibre 검증 작업을 AWS 환경에서 가속화하고, Amazon Bedrock을 통해 기업들이 자체적인 EDA 엔지니어링 어시스턴트를 구축할 수 있도록 플랫폼 서비스를 제공 [50, 51]

04. 글로벌 동향과 산업 채택

4.3.3 요약

업계 전반에서 EDA는 기존의 AI 기반(AI-based) 접근을 넘어, AI 주도(AI-driven) 설계 플로우로 빠르게 전환되고 있다. 주요 EDA 벤더들은 생성형 AI 및 머신러닝 기술을 틀체인 전반에 내재화함으로써 엔지니어의 생산성을 비약적으로 향상시키는 동시에, Cadence 사례에서 확인되듯이 PPA 개선과 같은 정량적 성과를 지속적으로 입증하고 있다.

수요 측면에서는 주요 칩 제조사들이 자체 LLM을 설계 및 운영 프로세스에 도입하고 있으며, 파운드리 사업자들은 고객 유치를 목적으로 AI 최적화 설계 플로우를 EDA 벤더와 공동 개발하고 있다. ARM은 AI 및 칩렛 중심으로 재편되는 생태계에서 표준화와 거버넌스 역할을 주도하고 있으며, 하이퍼스케일러는 EDA 워크로드를 클라우드 환경으로 이전하여 대규모 컴퓨팅 자원과 AI 어시스턴트를 결합하고 있다. 종합적으로 볼 때, EDA와 반도체 설계 전반은 자동화되고 데이터 중심적인 엔드-투-엔드(end-to-end) 칩 설계를 향해 빠르게 수렴하고 있다.

4.4 지역별 시장 비교: 한국, 미국, 중국

AI 주도 EDA의 부상은 주요 반도체 지역 간 경쟁 구도를 재편하고 있다. 한국은 그간 외산 EDA 도구에 대한 높은 의존 구조를 유지해 왔으나, 최근 이를 국가적 전략 과제로 인식하고 국내 역량 구축을 위한 초기 단계로 이동하고 있다. 미국은 여전히 글로벌 EDA 산업의 중심지로서 기존 선도 기업들의 우위를 유지하고 있으며, AI 네이티브 설계 체제로의 전환을 가장 빠르게 추진하고 있다. 한편 중국은 대외 수출 규제라는 구조적 제약 속에서 기술 자립을 핵심 목표로 설정하고, 국가 주도의 강력한 투자와 정책 지원을 통해 자국 AI-EDA 역량을 빠르게 강화하고 있다.

4.4.1 한국

한국은 삼성전자와 SK하이닉스와 같은 세계 최고 수준의 반도체 제조사를 보유하고 있음에도 불구하고, 자국 EDA 생태계는 이에 비해 극히 취약한 불균형적 구조를 보이고 있다. 최근 한국의 정부와 산업계 리더들은 이러한 구조를 국가 차원의 전략적 취약성으로 인식하기 시작하였다.

2024년 기준으로 한국에는 Baum, Alchemy 등 소수의 로컬 EDA 기업만이 존재하며, 글로벌 시장 점유율은 사실상 전무한 수준에 가깝다. 대다수의 한국 칩 설계 조직은 미국산 EDA 도구에 전적으로 의존하고 있으며, 국내 EDA 전문 인력의 90% 이상이 외국계(주로 미국) 기업에서 경력을 쌓고 있는 것으로 알려져 있다 [56]. 그러나 AI-EDA의 부상은 한국의 전략적 방향에도 점진적인 변화를 야기하고 있다. 과학기술정보통신부는 국내 EDA 역량 강화를 위한 정책 수립에 착수하였으며, 반도체 설계 주권이 곧 국내 EDA 인재 양성과 AI 기반 도구 개발 역량에 달려 있음을 명확히 인식하고 있다. 이에 따라 자국 EDA 프로젝트에 대한 세제 혜택과 연구개발(R&D) 보조금 제공 등 다양한 초기 단계 정책 수단이 검토되고 있다.

04. 글로벌 동향과 산업 채택

2025년 관련 보고서에 따르면, 삼성전자와 SK하이닉스는 내부 설계 프로젝트 전반에서 AI 기반 EDA 도입을 점진적으로 확대하고 있다. 이는 국산 EDA 산업을 육성하기 위한 장기적 노력과는 별개로, 머신러닝을 활용한 칩 성능 최적화와 설계 주기 단축을 통해 단기적인 경쟁 우위를 확보하려는 실용적 접근으로 해석된다 [57]. 종합적으로 볼 때, 한국 시장은 외산 EDA 도구에 대한 높은 의존도와 국내 역량 강화를 위한 정책적·산업적 노력이 공존하는 과도기적 특성을 보이고 있다. 한국 기업들은 단기적으로는 미국의 AI-EDA 도구를 적극 활용하는 한편, 정부는 중·장기적으로 국내 AI 및 EDA 역량을 국가 기술 안보의 핵심 축으로 육성하려는 전략을 추진 중이다.

한편 이러한 환경 속에서도 RTL 및 구현 플로우의 특정 영역을 겨냥한 소수의 국내 AI-EDA 스타트업이 의미 있는 성과를 창출하고 있다. 대표적인 사례로는 Axion Technologies가 있다. Axion Technologies는 AI 기반 반도체 엔지니어링 및 공정 최적화 솔루션을 개발하는 국내 기업으로, 맞춤형 표준 셀 라이브러리를 자동 생성하는 Axion Cell과 AI 기반 설계-제조 최적화를 통해 실리콘 수율 향상을 목표로 하는 Axion DFM을 주요 제품으로 보유하고 있다 [58]. 해당 플랫폼은 레이아웃 패턴, 공정 파라미터, 성능 지표를 머신러닝으로 분석함으로써, 기존 규칙 기반(rule-based) 접근만으로는 달성하기 어려웠던 표준 셀 라이브러리 생성과 제조 적합성 최적화를 자동화하는 데 초점을 맞추고 있다.

4.4.2 미국

미국은 명실상부한 EDA 산업의 중심지로 평가된다. Synopsys, Cadence, Siemens EDA는 글로벌 EDA 지출의 상당 부분을 차지하고 있으며, 중국 EDA 시장의 약 80%를 점유함으로써 강력한 글로벌 영향력을 유지하고 있다. 이들 벤더는 설계 플로우 전반에 AI를 신속히 통합하는 동시에, IP, 멀티다이 및 EMIB-T 패키징, 검증을 포함한 Intel Foundry의 첨단 공정용 AI 기반 양산 설계 플로우 인증을 완료하였다. 이는 미국 중심의 톨 공급망과 최첨단 제조 이니셔티브 간 결속을 더욱 강화하는 결과로 이어지고 있다.

이러한 지배적 위치는 해외 고급 EDA 인력의 미국 기업 유입과, 최첨단 파운드리와의 긴밀한 파트너십을 통해 더욱 공고해지고 있다. 요약하면, 미국 시장은 강력한 기존 기업들이 AI에 대한 대규모 투자를 통해 기술 격차를 확대하는 동시에, 풍부한 벤처 자본과 기술 인프라를 기반으로 스타트업 생태계가 동반 성장하는 이상적인 구조를 갖추고 있다 [51, 52, 53].

4.4.3 중국

중국의 AI-EDA 시장은 국가적 필요성과 정부의 전폭적인 지원을 배경으로 빠르게 성장해 왔다. 지정학적 수출 통제로 인해 미국산 첨단 EDA 도구에 대한 접근이 제한되자, 중국은 범국가적 차원의 기술 국산화(Indigenous Alternatives)를 강력히 추진하고 있다. 이 과정에서 Empyrean Technology와 같은 기존 기업과 X-Epic 등 신생 스타트업이 급성장하며, 중국 토종 EDA 벤더의 입지는 크게 확대되었다.

04. 글로벌 동향과 산업 채택

현재 전 세계 약 140개 EDA 기업 중 87개가 중국 기업일 정도로, 중국은 수적 측면에서 압도적인 비중을 차지하고 있다. 정부 주도의 대규모 반도체 펀드와 현지 IC 설계 기업들의 지원에 힘입어 국산 EDA 도구의 내수 점유율은 최근 수년간 두 배 가까이 증가했으며, 수백 개의 중국 반도체 기업이 자국 소프트웨어를 채택하는 추세를 보이고 있다. 중국 정부는 AI와 EDA의 결합을 핵심 전략으로 명시하고 있으며, 그 일환으로 중국과학원은 2025년 미국 소프트웨어 의존도를 낮추기 위한 AI 기반 칩 설계 시스템 Qimeng을 발표하였다 [54].

Empyrean 역시 시뮬레이션과 레이아웃 공정에 AI를 통합하고 있다고 보고하고 있으며, 최신 도구는 메모리 회로 시뮬레이션 가속과 디스플레이 패널 IC 레이아웃 자동화를 위해 머신러닝을 적극 활용함으로써 특정 니치 시장에서 외산 제품을 대체하는 것을 목표로 하고 있다 [55]. 다만, 수백억 달러 규모의 국가 반도체 펀드 지원에도 불구하고 다수의 중국 EDA 도구는 여전히 초기 단계에 머물러 있으며, 검증된 대규모 고객 사례가 부족하다는 점이 업계 분석가들에 의해 지적되고 있다.

종합하면, 중국의 AI-EDA 경쟁 환경은 정부 주도의 공격적인 투자와 기술 혁신이 공존하는 구조를 띠고 있으며, AI는 서구권 벤더와의 기술 격차를 해소하기 위한 핵심 수단으로 인식되고 있다. 역사적으로 미국 상위 3대 EDA 기업이 중국 시장의 약 80%를 점유해 왔으나, 중국 AI-EDA 솔루션의 빠른 발전은 이들의 장기적 지배력에 실질적인 도전으로 작용하고 있다. 향후 수년은 중국이 AI 기반 기술적 돌파구를 통해 EDA 자급자족을 실현할 수 있을지를 가늠하는 결정적인 시기가 될 것이다.

4.4.4 요약

AI 기반 EDA는 글로벌 반도체 산업의 지형을 빠르게 재편하고 있다. 미국은 여전히 산업의 무게중심으로서 핵심적인 역할을 수행하고 있다. Synopsys, Cadence, Siemens EDA는 글로벌 EDA 지출의 상당 부분을 장악하고 있으며, 설계 플로우 전반에 AI를 가장 신속하게 통합하는 동시에 풍부한 인재 풀과 파운드리 파트너십을 적극 활용하고 있다.

중국은 수출 통제라는 제약 환경 속에서도 막대한 국가 자금과 거대한 내수 설계 기반을 바탕으로 자국 AI-EDA 역량을 급속히 강화하고 있다. Empyrean Technology, X-Epic과 같은 기업이 빠르게 성장하고 있으며, Qimeng과 같은 신규 AI 기반 설계 시스템이 등장하고 있다. 다만 다수의 도구는 여전히 초기 단계에 머물러 있고, 대규모 시장 검증 사례가 부족하다는 한계가 존재한다.

한국은 삼성전자와 SK하이닉스와 같은 세계적 수준의 반도체 제조사를 보유하고 있음에도 불구하고, EDA 분야에서는 외산 도구에 대한 의존도가 매우 높은 상황이다. 현재 정책적 지원과 내부 AI-EDA 도입을 통해 설계 주기 단축과 기술 자생력 확보를 도모하는 노력이 진행되고 있으나, 국내 EDA 생태계는 아직 태동 단계에 머물러 있다.

종합적으로 볼 때, 미국의 선도 기업들은 AI를 활용하여 기술 격차를 더욱 확대하고 있으며, 중국은 국가 주도의 AI-EDA 전략을 통해 기술 자립을 가속화하고 있다. 한국은 외산 의존 구조에서 벗어나 국내 역량 구축으로의 전환을 모색하는 동시에, AI-EDA를 활용한 실질적 성과 창출을 병행하는 전략적 선택의 국면에 진입하고 있다고 평가할 수 있다.

4.5 스타트업 vs. 대형 벤더 기업

4.5.1 시장 구조

EDA 시장은 여전히 소수의 대형 기업이 과점 구조를 유지하고 있으며, Synopsys-Ansys 사례와 같은 대규모 인수.합병은 시장 구조를 데이터가 풍부한 엔드-투-엔드(end-to-end) 플랫폼 중심으로 재편하고 있다. 이러한 환경에서 스타트업이 기존 툴체인을 전면적으로 대체하는 것은 현실적으로 어렵다.

따라서 스타트업은 제약 조건(Constraints) 처리, 코드 패치 자동화, 오류 분류(Triage)와 같은 영역에서 정량적으로 측정 가능한 성과(measurable results)를 제공하는 저위험 파일럿 형태로 기존 툴체인을 보강하는 전략을 통해 시장 진입을 시도하는 것이 합리적인 접근으로 평가된다 [59, 60].

4.5.2 주요 격전지

검증 및 디지털 구현 분야는 AI 기술이 즉각적인 투자 대비 효과(ROI)를 입증할 수 있는 핵심 영역으로 부상하고 있다. 회귀 테스트 가속, 보다 정교한 타이밍 클로저 힌트 제공, 자동화된 근본 원인 분석과 같은 기능은 AI 기반 도구의 가치를 빠르게 입증할 수 있는 대표적 사례이다. 대형 벤더들이 이러한 영역에서 공격적으로 기술을 확장하는 가운데, 스타트업은 다음과 같은 차별화 전략을 추구하고 있다.

- 속도: 스타트업은 대기업 대비 도구 개발 및 업데이트 주기가 짧아, 기술 변화에 보다 민첩하게 대응할 수 있다.
- 종립성: Cadence, Synopsys, Siemens EDA 플로우 전반과의 벤더 종립적 통합을 제공함으로써, 복수의 툴체인을 사용하는 설계 조직에 실질적인 이점을 제공한다.
- UX: 추가적인 해석이 필요한 모호한 권고 사항보다는, 엔지니어가 즉시 실행할 수 있는 정밀하고 구체적인 솔루션 제공을 최우선 가치로 삼고 있다.

4.5.3 전략적 현실

거대 플랫폼의 높은 시장 장악력과 상위 3대 EDA 벤더의 지속적인 기능 추격을 고려할 때, 스타트업에게 가장 현실적인 성장 전략은 종종 피인수를 전제로 한 성장(build-to-be-acquired) 모델로 귀결된다. 이는 기존 툴체인과의 원활한 통합과 파일럿 프로젝트를 통해 기술적 가치를 입증한 후, 보다 큰 플랫폼에 흡수되어 확장하는 경로를 의미한다.

Synopsys-Ansys 간의 대규모 인수 사례는 이러한 EDA 시장의 통합 및 집중화 흐름을 상징적으로 보여주는 대표적인 사례로 평가된다 [61, 62].

5. 도전 과제 및 향후 요구사항

5. 도전 과제 및 향후 요구사항

5.1 도전 과제와 한계

5.1.1 개요

AI 기반 RTL 설계 및 검증 기술의 급속한 발전은 반도체 혁신을 위한 전례 없는 기회를 제공하고 있다. 그러나 이러한 진전은 기술적·방법론적·조직적 차원에서 다양한 도전 과제와 한계를 동시에 수반한다. 첨단 공정 노드, 멀티 다이 어셈블리, 믹스드 시그널 콘텐츠, 그리고 AI 기반 자동화가 결합된 설계가 보편화됨에 따라, 엔지니어와 조직은 검증 병목, 시스템 통합의 난제, 그리고 신뢰성·확장성·효율성에 대한 요구의 지속적인 증대에 직면하고 있다.

5.1.2 배경

RTL 설계는 디지털 하드웨어 개발의 근간을 이루는 단계로서, 상위 수준의 시스템 명세(specification)를 구현 가능한 논리 구조로 변환하는 역할을 수행한다. RTL 워크플로우에 AI와 머신러닝을 통합할 경우 설계 주기 단축, 검증 자동화, 성능 최적화 측면에서 상당한 이점을 제공할 것으로 기대된다.

그러나 반도체 산업이 서브-7 nm 이하 초미세 공정, 멀티 다이 아키텍처, 그리고 자율 주행 시스템·고속 네트워킹·엣지 컴퓨팅 등 AI 중심 애플리케이션으로 확장됨에 따라, 이러한 시스템에 대한 검증 및 밸리데이션(verification/validation)은 점차 복잡하고 자원 집약적인 작업으로 변화하고 있다. 전통적인 방법론만으로는 이러한 요구를 충족하기 어려운 사례가 증가하고 있으며, 기능적 정확성, 전력 효율성, 제조 적합성을 동시에 보장하기 위해서는 새로운 접근 방식과 도구의 도입이 필수적이다 [6, 63].

5.1.3 주요 도전 과제와 한계

1. 고주파 및 첨단 노드 설계에서의 타이밍 클로저

- 인터커넥트 지연 및 용량성 부하: 기술 노드가 7 nm 이하로 축소됨에 따라 인터커넥트 지연, 높은 커패시턴스 부하, 타이밍 불확실성이 급격히 증가하고 있다. FinFET 및 게이트-올-어라운드(Gate-All-Around, GAA) 트랜지스터 기술의 도입은 정전기적 간섭과 전력 밀도 증가 문제를 동반하며, 타이밍 클로저를 더욱 복잡하게 만든다.
- 복잡한 플로어플래닝 및 라우팅: 설계 밀도가 증가할수록 효율적인 플로어플래닝과 혼잡 인지(congestion-aware) 라우팅의 중요성이 커지고 있다. 학습 기반 라우팅-인지 플로어플래닝 연구에 따르면, 플로어플랜 최적화만으로도 배선 길이를 약 40%까지 단축할 수 있으며, 이를 통해 성능과 전력 특성을 동시에 개선할 수 있음이 보고되었다 [7].
- 클록 트리 합성: 다수의 클록 도메인에 걸친 클록 분배를 균형 있게 설계하고 클록 스큐를 효과적으로 관리하는 작업은, 동적 클록 게이팅과 멀티 코너 분석이 요구되는 환경에서 점점 더 높은 난이도를 보이고 있다.

05. 도전 과제 및 향후 요구사항

과제	RTL 설계에 미치는 영향
인터넥트 지연	타이밍 위반(Timing Violations) 증가, 타이밍 클로저 지연
전력 밀도 문제	열 및 타이밍 관리 복잡도 증가
라우팅 혼잡	신호 무결성 문제, 설계 주기 증가

표 10: 타이밍 클로저 관련 과제와 RTL 설계에 미치는 영향

2. 검증 병목과 방법론 전환

- 수동 및 후반 단계 검증: 수동 점검과 후반부 사인오프에 의존하는 전통적 검증 방식은 인적 오류에 취약하며, 설계 변경 시 비용이 많이 드는 재작업을 초래할 가능성이 높다. 특히 독자적인 요구사항과 인터페이스를 지닌 서드파티 IP 블록의 통합은 이러한 문제를 더욱 심화시키는 요인으로 작용한다 [22].
- 시프트-레프트(Shift-Left) 검증: 시프트-레프트와 같은 선제적·초기 단계 검증 전략은 설계 취약성과 구조적 오류를 조기에 탐지함으로써, 막대한 컴퓨팅 자원과 시간이 소요되는 풀칩 사인오프(full-chip sign-off)에 대한 의존도를 효과적으로 낮추는 데 필수적인 접근으로 평가된다 [10].
- 시프트-레프트 검증의 이점:
 - 누설 전력, 신호 무결성, 도메인 크로싱(clock domain crossing) 위험의 조기 탐지
 - 탑 레벨 연결성 및 전력 도메인 무결성 검증
 - 프로젝트 지연 방지 및 디버깅 사이클 단축

3. 믹스드 시그널 및 아날로그-디지털 공동 설계의 복잡성

- 하이브리드 검증 요구사항: 아날로그 블록과 전력관리 IC(PMIC)에 디지털 보조 로직이 통합됨에 따라, 아날로그와 디지털 영역을 동시에 검증할 수 있는 하이브리드 검증 환경이 요구된다. 첨단 공정에서는 공정 변동성과 레이아웃 의존성 효과가 증가하여, 시뮬레이션 커버리지 확대와 더 많은 컴퓨팅 자원의 투입이 불가피하다 [4].
- SoC 내 AMS 콘텐츠: 아날로그 및 믹스드 시그널(AMS) IP는 AI 가속기, RF 트랜시버 등과 함께 대규모 SoC 내부에 깊숙이 통합되고 있으며, 이에 따라 계층적(hierarchical) 검증과 시스템 레벨 검증은 선택이 아닌 필수 요소로 자리 잡고 있다.

4. 멀티 다이 어셈블리와 기생 성분 추출(Parasitic Extraction)

- 복잡한 상호 연결 모델링: 멀티 다이 어셈블리는 다이 스택킹과 첨단 패키징 기술로 인해 새로운 기생 성분(인덕턴스, 커패시턴스, 저항)을 유발한다. 이러한 기생 효과를 정밀하게 모델링하고 완화하는 작업은 신호 무결성, 전력 효율, 열 안정성 확보에 있어 핵심적인 요소이다 [64].
- 통계에 대한 시프트-레프트: 다이 간 및 다이 내 기생 성분을 설계 초기 단계에서 모델링·추출함으로써, 후반부 단계에서 발생할 수 있는 돌발 변수를 사전에 차단하고 설계 클로저를 안정적으로 달성할 수 있다.

05. 도전 과제 및 향후 요구사항

5. AI와 자동화: 기회와 한계

- AI 기반 검증: AI와 머신러닝 기법은 자동 테스트 생성, 버그 탐지, 패턴 분석 영역에서 빠르게 적용 범위를 확장하고 있다. 이러한 도구는 검증 속도를 향상시키고 커버리지를 확대하는 데 기여하지만, 새로운 구조나 파라미터 변동성이 큰 설계에 대해서는 완전한 해법을 제공하지 못하는 한계도 동시에 드러내고 있다 [65].
- RTL 작업에서 LLM의 한계: ChatGPT와 같은 범용 LLM은 RTL 설계 맥락에서 지연(latency), 파라미터화, 시뮬레이션 컨텍스트에 대한 심층적 이해가 부족한 것으로 보고되고 있다. 이로 인해 기존 테스트벤치나 서브블록을 충분히 분석하지 못하고, 오류가 있거나 불완전한 RTL 코드를 생성하는 사례가 빈번히 발생한다 [66].

6. 대규모 디버그 및 오류 관리

- 대규모 DRC 위반: 현대 SoC 설계에서는 수백만 건에 달하는 설계 규칙 검사(Design Rule Check, DRC) 위반이 발생할 수 있으며, 이는 기존 디버그 프로세스를 마비시키는 주요 원인이 된다. 근본 원인을 식별하고 위반 사항의 우선순위를 체계적으로 정하는 작업은 많은 시간과 자원을 소모하며, 제품 출시 지연의 직접적인 요인이 될 수 있다 [67].
- AI 기반 디버그 도구: AI를 활용하여 연관된 위반 사항을 클러스터링하고, 핫스팟을 시각화하며, 팀 간 협업을 효율화하는 새로운 디버그 도구들이 등장하고 있다. 다만, 이러한 도구들이 다양한 워크플로우와 대규모 데이터셋에 최적화되기 위해서는 추가적인 학습과 적응 과정이 요구된다.

7. 자체 추진 시스템을 포함한 안전 필수(safety-critical) 애플리케이션

- 엄격한 품질 요구사항: 자체 추진 시스템용 IC는 극히 낮은 불량률(사실상 0에 가까운 DPPM)과 장기간의 안정적인 동작 수명을 요구한다. 특히 ADAS 및 자율주행 기능 확산에 따라 서브-7 nm 공정 기반 칩을 채택하는 차량이 증가하면서, 이러한 엄격한 품질 기준과 비용 제약을 동시에 충족해야 하는 난이도는 급격히 상승하고 있다 [68].
- 신뢰성 및 안전성 테스트: 첨단 공정 칩은 장기간 운용 환경에서 신뢰성과 기능 안전성을 지속적으로 보장해야 하므로, 기존 테스트 방식만으로는 한계가 있으며 새로운 신뢰성·안전성 검증 방법론의 도입이 요구된다.

8. LLM 환각(hallucination) 위험 [19, 69]

- 개요: LLM은 문법적으로는 그럴듯하지만 기능적으로는 잘못된 Verilog/VHDL 코드, 제약(constraints), 스크립트, 설명 등을 생성할 수 있다. 반도체 설계 맥락에서 이러한 환각은 치명적인데, 생성된 코드가 컴파일되고 단순 테스트를 통과하더라도 미세한 프로토콜 위반이나 타이밍 문제로 잠복해 있다가, 이후 실리콘 단계에서 문제를 일으켜 리스핀으로 이어질 수 있기 때문이다.
- 범용 LLM의 한계: HaVen 연구는 범용 LLM의 동작 방식과 HDL 엔지니어링 요구사항 사이에 명확한 간극이 존재함을 보고하였다. 생성된 Verilog 코드에서 환각이 빈번히 발생하며, 실제 하드웨어 엔지니어의 문제 해결 방식과 불일치하는 경향이 관찰되어, 이를 보정하기 위한 전용 Verilog 생성 파이프라인의 필요성이 제기되고 있다.

05. 도전 과제 및 향후 요구사항

- 도구 연계(tool-in-the-loop)를 통한 리스크 완화: VerilogCoder는 문법 검사, 시뮬레이션, AST 기반 파형 추적 도구를 결합한 멀티 에이전트 시스템을 통해 다수의 버그를 자동으로 탐지·수정한다. 해당 접근은 VerilogEval-Human v2 벤치마크에서 약 84% 수준의 문법 및 기능적 정합성을 달성하였으며, 이는 순수 텍스트 생성에 의존하기보다 강력한 도구 기반 피드백 루프가 필수적임을 시사한다.
- 실무에서의 전형적 실패 유형: 환각은 주로 버스 핸드셰이크나 CDC 프로토콜을 미묘하게 위반하는 RTL 모듈, 존재하지 않는 톨 옵션을 사용하거나 필수 저전력 구조를 누락한 제약/UPF 파일, STA-시뮬레이션-형식 검증 근거 없이 타이밍 클로저나 커버리지 충족을 주장하는 자연어 설명 등의 형태로 나타난다.
- 활용 범위의 전략적 제한: 현 시점의 실무 환경에서는 LLM을 파라미터화된 모듈 스켈레톤, 어서션 템플릿, UVM 보일러플레이트 등 범위가 제한되고 검증이 용이한 작업에 적용하는 것이 가장 합리적이다. 반대로 전체 서브시스템 설계를 모델에 위임하는 접근은 미검출 환각의 위험을 크게 증대시키므로, 강력한 자동 검증 환경 없이 사용하는 것은 지양해야 한다.
- EDA 도구를 포함한 자동 CI 파이프라인: 환각 리스크를 체계적으로 관리하기 위해 LLM 지원 기능을 CI 파이프라인에 통합하는 방식이 권장된다. AI가 생성한 코드를 자동으로 컴파일·린트·회귀 테스트하고, 도구 실패 신호를 기반으로 프롬프트를 수정하거나 결과를 폐기함으로써, 모델의 확신(confidence level)이 아닌 객관적인 검증 결과에 기반한 의사결정을 가능하게 한다.

9. AI-EDA에서의 IP 보안 및 데이터 거버넌스 위험

- 고가치 설계 IP의 노출 위험: AI-EDA 워크플로우는 파운드리 PDK, 독점 RTL/넷리스트, 물리 설계 데이터베이스, 검증 로그 등 기업의 핵심 영업 비밀을 다루는 경우가 많다. 특히 클라우드 기반 실행은 IP 및 기밀 정보 유출과 관련된 중대한 리스크를 수반한다.
- 기밀성 제약 하의 ML-EDA: 미국 NSF 산하 산업-대학 협력 연구센터(IUCRC)인 CAEML(Center for Advanced Electronics through Machine Learning)은 엄격한 산업 기밀 유지 협약 하에서 ML 기반 EDA 모델을 개발하고 있다. 해당 연구에는 회원사의 소자·회로·레이아웃 IP를 직접 노출하지 않으면서 EDA를 가속화하기 위한 컴팩트 모델 및 ML 예측기를 도출하는 접근이 포함된다 [70].
- IP 인지 학습에 대한 CAEML의 접근법: CAEML 프로젝트는 PPA 모델링, 백엔드 IC 설계, 신뢰성 분석 등 다양한 산업 데이터셋을 활용하되, 개별 기업의 원시 설계 데이터를 공유하지 않는 방법론에 초점을 맞추고 있다. 대리(surrogate) 모델링과 정교한 데이터 공유 프로토콜을 통해 핵심 동작 특성은 학습하되, 기저의 IP는 추상화 또는 익명화하는 전략을 채택한다 [70].
- 상용 AI-EDA 도입을 위한 시사점: CAEML의 사례는 IP 보호, 보안, 데이터 거버넌스를 단순한 법적 제약이 아닌 최우선 기술적 요구사항으로 간주해야 함을 시사한다. 상용 AI-EDA 도입 시에도 온프레미스 또는 엄격히 통제된 배포 환경, 원시 데이터 노출 최소화, 명시적인 IP 인지 협업 계약과 같은 패턴이 ML 활용의 이점과 IP 보안 간 균형을 달성하는 현실적인 템플릿이 될 수 있다 [70].

05. 도전 과제 및 향후 요구사항

도메인 / 과제	전통적 접근	AI 기반 / 현대적 접근	한계 / 도전 과제
타이밍 클로저 검증	수동, 후반 단계 수정 시뮬레이션; 수동 점검	AI 기반 예측 모델 형식; 하이브리드; 시프트-레프트; AI	복잡성: 부서 간 의존성 확장성: 커버리지; 통합 병목
혼합 신호 멀티 다이 어셈블리 디버그	아날로그/디지털 분리 평면; 단순 추출 개별 오류 처리	하이브리드; 계층적 검증 조기 3D 기생 모델링 AI 기반 클러스터링; 시각화	변동성 증가; 시뮬레이션 커버리지 새로운 기생 성분; 모델링 복잡성 데이터 양; 워크플로우 적응
자체 추진 시스템	성숙 노드; HW 중심	첨단 노드; SW 정의형	품질; 비용; 신뢰성; 안전 표준

표 11: 도메인별 전통적 접근과 AI 기반 접근, 그리고 한계

5.1.4 주요 격전지

검증 및 디지털 구현 분야는 AI 기술이 즉각적인 투자 대비 효과(ROI)를 입증할 수 있는 핵심 영역으로 부상하고 있다. 회귀 테스트 가속, 보다 정교한 타이밍 클로저 힌트 제공, 자동화된 근본 원인 분석과 같은 기능은 AI 기반 도구의 가치를 빠르게 입증할 수 있는 대표적 사례이다. 대형 벤더들이 이러한 영역에서 공격적으로 기술을 확장하는 가운데, 스타트업은 다음과 같은 차별화 전략을 추구하고 있다.

- 속도: 스타트업은 대기업 대비 도구 개발 및 업데이트 주기가 짧아, 기술 변화에 보다 민첩하게 대응할 수 있다.
- 중립성: Cadence, Synopsys, Siemens EDA 플로우 전반과의 벤더 중립적 통합을 제공함으로써, 복수의 틀체인을 사용하는 설계 조직에 실질적인 이점을 제공한다.
- UX: 추가적인 해석이 필요한 모호한 권고 사항보다는, 엔지니어가 즉시 실행할 수 있는 정밀하고 구체적인 솔루션 제공을 최우선 가치로 삼고 있다.

5.1.5 요약

AI 기반 RTL 설계 및 검증은 반도체 혁신의 최전선에 위치해 있으나, 그 발전 과정에는 여전히 다수의 기술적·방법론적 도전 과제가 존재한다. 첨단 공정 노드에서의 타이밍 클로저 문제부터 복잡한 믹스드 시그널 및 멀티 다이 시스템 검증에 이르기까지, 반도체 산업은 설계 및 검증 방법론과 도구를 지속적으로 고도화해야 하는 상황에 직면해 있다.

AI와 머신러닝의 통합은 설계 자동화와 검증 효율 측면에서 강력한 새로운 역량을 제공하지만, 깊은 문맥 이해가 요구되거나 기존에 존재하지 않던 설계 시나리오를 다루는 영역에서는 고유의 한계 또한 함께 드러난다. 특히 자체 추진 시스템과 같은 안전 필수(safety-critical) 도메인에서는 신뢰성, 확장성, 효율성에 대한 요구 수준이 더욱 강화되고 있으며, 이에 대응하기 위해서는 선제적이고 협업 중심적이며 데이터 기반의 접근이 필수적이다. 이러한 접근을 통해서만 업계는 복잡성을 극복하고 차세대 하드웨어가 지닌 잠재력을 온전히 실현할 수 있을 것이다.

5.2 사례 연구 및 응용: 현대 RTL 설계와 검증에 대한 심층 분석

7 nm 이하 첨단 노드로의 진입과 함께 반도체 기술은 급속한 발전을 이루고 있으며, 이는 RTL 설계 및 검증 영역에 전례 없는 도전과 기회를 동시에 제공하고 있다. 본 절에서는 실제 사례 연구와 응용을 바탕으로, 고주파 설계, 클럭 최적화, 그리고 자체 추진 시스템용 IC의 신뢰성을 중심으로 향후 설계 패러다임을 형성하는 방법론, 기술 혁신, 전략적 변화들을 심층적으로 분석한다. 논의는 각기 중요한 기술적 측면에 초점을 둔 서술형 섹션으로 구성되며, 최신 산업 사례와 정량적 지표를 근거로 전개된다.

▶ 축소되는 노드와 증가하는 도전 — 7 nm 이하 기술 노드의 영향

- 상호 연결(interconnect) 지연 및 커패시턴스 부하 증가
- 타이밍 불확실성 증대
- RTL 설계에서 논리 깊이 증가 및 구조적 의존성 심화
- FinFET, 게이트-올-어라운드(Gate-All-Around, GAA) 등 첨단 소자 아키텍처의 도입은 정전 간섭과 전력 밀도 증가라는 새로운 변수를 추가함으로써, 타이밍 클로저와 전반적인 신뢰성 확보를 더욱 복잡하게 만든다 [3, 71].

▶ 새로운 방법론의 필요성

수동 검증, 후반부 점검 중심의 접근, 그리고 분절된 설계 플로우와 같은 전통적 방법론은 더 이상 첨단 노드 환경에서 충분한 해법을 제공하지 못한다. 이에 따라 업계는 다음과 같은 방향으로 설계 및 검증 패러다임을 전환하고 있다.

- 설계 초기 단계에서의 자동화·협업형 검증 도입
- AI 기반 예측 모델을 활용한 사전 리스크 식별 • 설계 팀과 구현 팀 간의 크로스 기능적 통합 강화

5.2.1 사례 연구 1: 고주파 설계에서 타이밍 클로저 과제 극복 [3, 5, 7]

▶ 핵심 과제

- 서브-7 nm 공정 노드에서는 상호 연결(interconnect) 지연과 타이밍 불확실성이 설계 성능을 좌우하는 지배적인 요인으로 작용한다.
- 전통적인 타이밍 클로저 기법은 논리 깊이가 증가하고 동작 주파수가 고도화된 설계 환경에서 요구되는 성능 목표를 충족하는 데 구조적인 한계를 노출한다.

▶ 전략적 해결책

- 크로스 기능 협업: RTL 설계 팀과 물리 설계 팀 간의 조기 협업을 통해 주요 경로(critical path)를 사전에 식별하고, 타이밍 위반 가능성을 초기 단계에서 효과적으로 저감한다.
- 자동 검증 및 AI 활용: 예측 모델과 자동화된 분석 도구를 적용함으로써, 물리 구현 이전 단계에서 잠재적인 오류와 타이밍 리스크를 조기에 탐지한다.
- 멀티 코너 최적화: 공정(Process), 전압(Voltage), 온도(Temperature)를 포괄하는 PVT 전반에 대한 분석을 수행하여, 다양한 동작 조건에서도 안정적인 타이밍 특성을 확보한다.

05. 도전 과제 및 향후 요구사항

- 전략적 플로어플래닝: 논리 구조와 배치 전략을 최적화함으로써 배선 길이를 최대 약 40.6%까지 단축하고, 주요 경로와 전력 그리드를 동시에 고려한 설계 최적화를 달성한다.
- 혁신적인 클록 트리 합성: 클록 분배 네트워크를 균형 있게 설계하여 클록 스큐를 최소화하고, 동적 클록 게이팅을 통합함으로써 전력 효율과 타이밍 안정성을 동시에 향상시킨다.
- 혼잡 인지 배선: 초기 혼잡 분석과 전략적 레이어 할당을 통해 배선으로 인한 타이밍 위반 가능성을 최소화하고, 설계 반복 횟수를 줄인다.

과제	해결 접근법	영향/지표
상호 연결 지연	멀티 코너 최적화; 플로어플래닝	배선 길이 40.6% 감소
타이밍 불확실성	AI 기반 검증; 초기 설계 리뷰	타이밍 클로저 반복 횟수 감소
전력 밀도 문제	전력 그리드 최적화; 동적 클록 게이팅	타이밍 안정성 향상

표 12: 사례 연구 1의 과제, 해결 접근법, 영향

5.2.2 사례 연구 2: 서브-7 nm ASIC에서의 혁신적 클록 최적화 [8]

▶ 핵심 과제

- 클록 분배 네트워크는 전체 동적 전력 소모의 최대 약 50%를 차지할 수 있어, 전력 효율 측면에서 주요 병목 요소로 작용한다.
- 클록 스큐(skew), 삽입 지연(insertion delay), 그리고 전력 소모는 고성능 ASIC 설계에서 타이밍 안정성과 에너지 효율을 동시에 저해하는 핵심 제약 조건이다.

▶ 최신 방법론

- 클록 게이팅(clock gating): 래치 기반, 래치 프리(latch-free), 멀티 임계 전압(multi-threshold voltage), 통합(clock gating) 구조와 같은 최신 기법은 설계 조건에 따라 약 25-55% 수준의 전력 절감 효과를 제공하는 것으로 보고된다. 특히 통합(clock gating) 구조의 경우 45-55% 범위의 전력 절감 효과를 달성한 사례가 제시되고 있다 [8].
- 멀티 소스 클록 트리 합성: 적응형 지연 삽입 기법과 머신러닝 기반 최적화를 활용하여 클록 스큐를 효과적으로 감소시키고, 클록 신호 분배의 균형을 향상시킨다.
- 동적 전력 감소: 활동(activity) 기반 프루닝(pruning)과 실시간 파워 게이팅을 적용함으로써, 워크로드 변화에 따라 전력 소모를 동적으로 최적화한다.
- 래치 기반 타이밍 최적화: 다수의 클록 도메인 환경에서 래치 기반 구조를 활용하여 타이밍 정확도와 설계의 견고성(robustness)을 동시에 향상시킨다.

05. 도전 과제 및 향후 요구사항

최적화 기법	효과/지표
클록 게이팅	최대 55% 전력 절감
멀티 소스 CTS	스큐 최소화; 균형 잡힌 분배
동적 전력 감소	에너지 효율 크게 개선
래치 기반 타이밍	타이밍 신뢰성 향상

표 13: 사례 연구 2의 최적화 기법과 효과

5.2.3 사례 연구 3: 시프트-레프트 설계 접근을 통한 신뢰성 높은 자체 추진 시스템용 IC [21]

▶ 산업적 맥락

- 자체 추진 시스템용 IC는 커스텀 IP와 제3자 IP를 엄격한 신뢰성 및 안전 요구사항 하에서 통합해야 하는 복합적인 설계 환경을 갖는다.
- 수동 점검과 후반부 설계 규칙 검사(DRC)에 의존하는 전통적 검증 방식은 오류 발생 가능성이 높고, 디버깅 및 수정에 소요되는 시간이 길어 전체 개발 일정에 부정적인 영향을 미친다.

▶ 시프트-레프트 검증 전략

- 패턴 기반 솔루션: IP 배치 구조와 대칭성을 설계 초기 단계에서 검증함으로써, 물리 구현 이후 단계에서 발생할 수 있는 구조적 오류를 사전에 제거한다.
- 스트림라인된 디버깅: 지능형 패턴 분석 기법을 활용하여 오류의 근본 원인을 신속하게 식별하고, 수정 및 재검증에 소요되는 시간을 단축한다.
- 조기 신뢰성 검사: 자동화된 사전 시뮬레이션 분석을 통해 레벨 시프터 오배치, 도메인 크로싱(clock domain crossing) 위험 등 잠재적 문제를 설계 초기 단계에서 탐지하여, 오류가 시스템 전반으로 확산되기 전에 차단한다.

전통적 접근	시프트-레프트 접근	결과
수동, 후반부 점검	조기, 자동 패턴 기반 검증	디버깅 가속; 오류 감소
커스텀 DRC	직접 기하 구조 비교	개발 시간 단축
레이아웃 이후 검증	사전 시뮬레이션 신뢰성 검사	리스크 감소; 품질 향상

표 14: 전통적 접근과 시프트-레프트 접근의 비교 및 결과

05. 도전 과제 및 향후 요구사항

5.2.4 최신 동향: RTL 검증에서의 AI와 자동화

AI 기반 검증

RTL 검증 영역에서 AI와 머신러닝 기술은 다음과 같은 핵심 기능을 가능하게 하고 있다.

- 자동 테스트 생성
- 예측적 버그 탐지
- 검증 자원 활용의 최적화
- 시뮬레이션, 형식 검증, 정적 분석 엔진을 통합한 통합형 검증 플로를 통해 커버리지를 확대하고 검증 병목을 완화함 [15].

하드웨어 지원 검증

- FPGA 기반 에뮬레이션 및 프로토타이핑은 검증 사이클을 수십 배 이상 가속함으로써, 조기 소프트웨어 브링업과 높은 수준의 검증 커버리지를 가능하게 한다.
- 시스템 수준 검증은 실시간 모니터링, 전력 인지(power-aware) 분석, 다중 프로토콜 검증을 포함하는 방향으로 지속적으로 확장되고 있다.

5.2.5 시장 전망: 트렌드와 향후 방향

- AI 기반 EDA 도구는 이미 주류 기술로 자리 잡았으며, 고급 실리콘 설계의 50% 이상이 AI 지원 설계 플로를 활용하고 있는 것으로 보고된다.
- 시프트-레프트 방법론은 특히 자체 추진 시스템과 같이 높은 신뢰성이 요구되는 응용 분야를 중심으로 폭넓게 채택되고 있다.
- AI, IoT, 모바일 애플리케이션의 확산으로 인해 전력 및 타이밍 최적화는 향후에도 반도체 설계·검증에서 최우선 과제로 유지될 전망이다.

측면	전통적 접근	현대/혁신적 접근
타이밍 클로저	수동, 후반부, 반복적	AI 기반; 조기; 멀티 코너; 자동화
클록 최적화	단일 소스; 정적	멀티 소스; 동적; ML 강화
검증	시뮬레이션 중심; 분절	통합; AI 보강; 시프트-레프트
디버깅	수동; 레이아웃 이후	자동화; 패턴 기반; 조기
전력 관리	기능 중심	전력 인지; 하이브리드 검증

표 15: 전통적 접근과 현대적 접근 간 주요 차이점

05. 도전 과제 및 향후 요구사항

5.2.6 요약

RTL 설계 및 검증 환경은 근본적인 전환 국면에 진입하고 있다. 반도체 시스템의 복잡성이 급증함에 따라, 성공적인 구현을 위해서는 조기 검증, 자동화, 그리고 AI 기반 방법론의 도입이 더 이상 선택이 아닌 필수 요소로 자리 잡았다.

크로스 기능 협업, 고도화된 클록 및 전력 최적화 기법, 그리고 시프트-레프트 검증 전략은 고주파 설계 및 자체 추진(automotive) 시스템용 IC 개발에서 타이밍 클로저, 신뢰성, 효율성을 동시에 달성하기 위한 핵심 구성 요소로 확립되고 있다.

아울러 머신러닝, 하드웨어 가속, 통합 검증 플로의 결합은 개발 주기를 획기적으로 단축하는 동시에, 반도체 산업 전반에서 품질과 혁신에 대한 새로운 기준을 제시하고 있다.

6. 결론

6. 결론

반도체 산업 전반에서, 특히 AI 기반 워크플로우와 하드웨어 지원 솔루션을 활용하는 현대적 설계 및 검증 기법은 산업 구조 전반에 걸쳐 혁신적인 이점을 제공하고 있다. 이러한 기술적 진보는 설계 주기를 단축하고 신뢰성을 강화하는 동시에, 선제적인 리스크 관리를 가능하게 한다. 그 결과 기업은 개발 비용을 절감하면서도 고품질·저전력·보안성이 강화된 반도체 제품을 보다 신속하게 시장에 공급할 수 있게 되었다.

통합 검증 워크플로우, 어서션 기반 검증, 하이브리드 검증 방법론은 회귀 처리량, 버그 탐지 효율, 테스트 커버리지 측면에서 정량적인 성과 개선을 실현하고 있다. 또한 시프트-레프트 접근법과 조기 신뢰성 점검은 문제가 설계 후반부로 확산되기 이전에 이를 식별함으로써, 비용이 큰 실리콘 리스핀을 방지하고 시장 출시 시간을 단축하는 데 기여한다. AI와 머신러닝의 통합은 테스트 생성 자동화, 버그 탐지 최적화, 엔지니어 생산성 향상을 가능하게 하며, 차세대 멀티 다이 및 이기종 시스템에 요구되는 확장성과 적응성을 효과적으로 뒷받침한다. 전력 인지 및 보안 중심 검증 방법론은 AI, IoT, 자체 추진 시스템, 모바일 기기 등 다양한 응용 분야에서 견고한 동작과 시스템 신뢰성을 보장하는 핵심 수단으로 자리 잡고 있다.

그러나 이러한 기회와 함께 업계는 여전히 중대한 도전 과제와 한계에 직면해 있다. 첨단 공정, 멀티 다이 어셈블리, 혼합된 시그널 콘텐츠가 주도하는 설계 복잡성의 증가는 검증 병목 현상과 시스템 통합의 난제를 야기하며, 신뢰성과 효율성에 대한 요구 수준을 지속적으로 상향시키고 있다. 고주파 설계 환경에서는 인터커넥트 지연, 전력 밀도 증가, 라우팅 혼잡으로 인해 타이밍 클로저 달성이 더욱 까다로워지고 있으며, 혼합 신호 및 아날로그-디지털 공동 설계는 보다 광범위한 시뮬레이션 커버리지를 제공하는 하이브리드 검증 환경을 요구한다. 멀티 다이 어셈블리는 새로운 기생 효과를 수반하므로, 이를 설계 초기 단계에서 모델링하고 완화하지 않을 경우 후반부 설계 리스크로 이어질 가능성이 크다. 더불어 현대 SoC에서 발생하는 방대한 양의 설계 규칙 검사(DRC) 위반은 기존 디버그 프로세스를 마비시킬 수 있다. AI 기반 검증 도구는 강력한 보조 수단이지만 완전무결하지 않으며, 거대 언어 모델은 깊은 설계 문맥 이해, 파라미터화, 시뮬레이션 컨텍스트가 요구되는 작업에서 여전히 한계를 드러내어 불완전하거나 부정확한 결과를 제시할 수 있다. 자체 추진 시스템과 같은 안전 필수 도메인에서는 품질, 신뢰성, 수명 테스트에 대한 기준이 지속적으로 상향되면서, 엄격한 규격 요구와 비용 제약 간의 균형을 맞추는 일이 더욱 어려워지고 있다.

향후를 전망하면, 기술 발전의 방향은 AI 및 머신러닝 모델을 고도화하여 RTL 설계 컨텍스트와 시뮬레이션 환경에 대한 이해도를 제고하고, 보다 정교하고 포괄적인 자동화를 구현하는 데 초점이 맞춰질 것이다. 업계는 시프트-레프트 방법론을 지속적으로 발전시켜 설계 초기 단계에 신뢰성 검증과 기생 성분 모델링을 통합함으로써, 후반부에서 발생할 수 있는 예기치 못한 문제를 최소화하고 설계 클로저를 가속할 것으로 예상된다. 혼합 신호, 멀티 다이, 계층적 시스템을 유기적으로 처리할 수 있는 하이브리드 검증 환경은 확장 가능한 클라우드 인프라와 적응형 하드웨어 지원 솔루션을 기반으로 업계 표준으로 정착할 가능성이 크다. 또한 증가하는 설계 복잡성과 데이터 규모를 효과적으로 관리하기 위해서는 협업적이고 데이터 주도적인 접근이 필수적이며, 안전 필수 및 고성능 애플리케이션의 요구를 충족하기 위해 새로운 테스트 방법론과 AI 기반 디버그 도구는 지속적으로 진화할 것이다.

궁극적으로 AI, 자동화, 첨단 검증 기법의 융합은 반도체 산업의 차세대 혁신을 견인하여, 급변하는 기술 환경 속에서도 점점 더 정교하고 신뢰할 수 있으며 효율적인 하드웨어 공급을 가능하게 하는 핵심 동력이 될 것이다.

참고문헌

참고문헌

- [1] I. Walsh, "Rising Respins and the Need for Re-Evaluation of Chip Design Strategies," July 2024.
- [2] Ansys, "What Is Register Transfer Level (RTL) Design," Ansys Technical Documentation.
- [3] K. Golshan, *The Art of Timing Closure: Advanced ASIC Design Implementation*, Springer, Cham, 2020.
- [4] B. Bailey, "Mixed Messages Complicate Mixed-Signal," *SemiEngineering*, June 2025.
- [5] A. B. Kahng, "Machine Learning Applications in Physical Design: Recent Results and Directions," *Proc. International Symposium on Physical Design (ISPD)*, ACM, pp. 68–73, 2018.
- [6] T.-Y. Ho, S. Khan, J. Liu, Y. Li, Y. Liu, Z. Shi, Z. Wang, Q. Xu, E. F. Y. Young, B. Yu, Z. Zheng, B. Zhu, and K. Zhu, "The Dawn of AI-Native EDA: Opportunities and Challenges of Large Circuit Models," *arXiv preprint arXiv:2403.07257*, 2024.
- [7] D. Basso, L. Bortolussi, M. Videnovic-Misic, and H. Habal, "Advancing Routing-Awareness in Analog IC Floorplanning," *arXiv preprint arXiv:2510.15387*, 2025.
- [8] R. R. Kotapati, "Advanced Clock Tree Synthesis Optimization: A Multi-Source Approach to Minimizing Skew and Power in Sub-7nm ASIC Designs," *International Journal of Scientific Research in Computer Science, Engineering and Information Technology*, vol. 10, pp. 2275–2283, Dec. 2024.
- [9] F. Schirrmeister, "Hardware-Assisted Verification: Unlocking the Future of Chip and System Design," *Synopsys Blog*, Oct. 2024.
- [10] C.-H. Chang, "Shift-Left Verification: Why Early Reliability Checks Matter," *EE Times*, June 2025.
- [11] K. Freund, "The Case for Hardware-Assisted Verification in Complex SoCs," *EE Times*, Mar. 2025.
- [12] C. Bennett and K. Eder, "Review of Machine Learning for Micro-Electronic Design Verification," *arXiv preprint arXiv:2503.11687*, 2025.
- [13] Siemens Digital Industries Software, "Siemens Leverages AI to Close Industry's IC Verification Productivity Gap in New Questa One Smart Verification Solution," *Press Release*, May 2025.
- [14] H. Foster, "Out of the Verification Crisis: Improving RTL Quality," *White Paper*, Siemens EDA, 2020.
- [15] H. Foster, "Smarter, Faster, Leaner: Rethinking Verification for the Modern Era," *SemiEngineering*, June 2025.
- [16] A. Shilov, "Synopsys Adds Generative AI for Chip Development with Synopsys.ai Copilot," *Tom's Hardware*, Sept. 2025.
- [17] Technical Paper Link, "LLM-Powered Automatic VLSI Design Flow Tuning Framework," *SemiEngineering*, July 2025.
- [18] DQI Bureau, "InCore Unveils SoC Generator Platform," *Dataquest India*, June 2025.
- [19] C.-T. Ho, H. Ren, and B. Khailany, "VerilogCoder: Autonomous Verilog Coding Agents with Graph-Based Planning and AST-Based Waveform Tracing," *arXiv preprint arXiv:2408.08927*, Mar. 2025.
- [20] J. Tang, J. Qin, N. Xu, P. S. Nalla, Y. Cao, Y. Zhao, and C. Ding, "MAHL: Multi-Agent LLM-Guided Hierarchical Chiplet Design with Adaptive Debugging," *arXiv preprint arXiv:2508.14053*, Oct. 2025.

- [21] E. Sperling, "EDA's Top Executives Map Out an AI-Driven Future," *SemiEngineering*, June 2025.
- [22] J. Muirhead, "Get More Reliable Automotive ICs with a Shift-Left Design Approach," *EE Times*, May 2025.
- [23] T. Reddy, "Better, Faster, and More Efficient Verification with the Power of AI," White Paper, Synopsys, 2022.
- [24] Analogue Insight, "Bridging Analogue and Digital Worlds," <https://analogueinsight.com/en>, Accessed Nov. 30, 2025.
- [25] D. H. Noronha, S. J. Daniel, and B. Salehpour, "Mapping TensorFlow Models to Synthesizable Hardware," arXiv preprint arXiv:1807.05317, 2018.
- [26] A. Canis et al., "LegUp: An Open-Source High-Level Synthesis Tool for FPGA-Based Processor/Accelerator Systems," 2013.
- [27] J. Clow et al., "A Pythonic Approach for Rapid Hardware Prototyping and Instrumentation," 2017.
- [28] J. D. Fischbach et al., "GDSFactory: A Python Library for Designing Chips," <https://gdsfactory.github.io/gdsfactory>.
- [29] B. Cheong, "ASTAR Makes Electronic Design Automation Tools More Accessible to Companies," *The Business Times*, May 2025.
- [30] Tirias Research, "AI Is Not the Only Answer to Improving Electronic Design Efficiency," *Forbes*, Dec. 2024.
- [31] K. Freund, "EDA Vendors Help Intel Get the USA Back into Chip Manufacturing," *Forbes*, Apr. 2025.
- [32] TechNode Feed, "U.S. Reportedly Orders Top EDA Firms to Halt Services to China," *TechNode*, May 2025.
- [33] M. Ahmad, "New EDA Tools Arrive for Chiplet Integration and Package Verification," *EDN*, June 2025.
- [34] TechNode Feed, "SK Hynix and Samsung Consider Ceasing Use of Chinese EDA Tools," *TechNode*, Feb. 2025.
- [35] J. Abraham, "Innovations in Hardware Verification for High-Speed Protocols," *International Journal of Scientific Research in Computer Science, Engineering and Information Technology*, vol. 11, no. 1, 2025.
- [36] R. O'Sullivan, "Verification Software and Methodology Insights," *SemiEngineering*, June 2025.
- [37] V. Jagadeesh et al., "Accelerating Functional Verification with Machine Learning," *DVCon U.S.*, 2025.
- [38] P. Khondkar, *Low-Power Design and Power-Aware Verification*, Springer, 2018.
- [39] D. K. Lnu, "AI-Driven Verification for Compute Express Link (CXL)," *International Journal of Scientific Research in Computer Science, Engineering and Information Technology*, 2025.
- [40] Synopsys, Inc., "Synopsys Announces Expanding AI Capabilities for Its Leading EDA Solutions," *Investor News*, Sept. 2025.
- [41] C. Knowles, "Siemens Unveils AI-Powered EDA Platform for Chip & PCB Design," *CFotech*, 2025.
- [42] S. Brown, "Cadence Creates Industry's First LLM Technology for Chip Design," *Cadence Corporate Blog*, Sept. 2023.
- [43] K. Freund, "Cadence AI Can Increase Chip Design Quality and Productivity," *Cambrian AI Research*, June 2023.
- [44] S. Nellis, "Apple Eyes Using AI to Design Its Chips," *Reuters*, June 2025.

참고문헌

- [45] S. Ward-Foxton, "NVIDIA Trains LLM on Chip Design," EE Times, Oct. 2023.
- [46] M. Liu et al., "ChipNeMo: Domain-Adapted LLMs for Chip Design," NVIDIA Research, Oct. 2023.
- [47] M. Maghoumi et al., "Streamlining Data Processing for Domain Adaptive Pretraining," NVIDIA Technical Blog, Sept. 2024.
- [48] Intel Corporation, "Intel Foundry Accelerator EDA Alliance," Intel.com.
- [49] M. Awad, "Arm Sets the Standard for Open, Converged AI Data Centers," Arm Newsroom, Oct. 2025.
- [50] A. Siddique and C. Clee, "Accelerate Chip-Design Verification by Running Siemens Calibre on AWS," AWS for Industries Blog, Feb. 2024.
- [51] Mordor Intelligence, "Electronic Design Automation Market Size & Forecast (2025–2030)," 2025.
- [52] P. Valerio, "U.S. Restricts EDA Software Sales to China," EE Times, May 2025.
- [53] Synopsys, Inc., "Synopsys and Intel Foundry Propel Angstrom-Scale Chip Designs," Investor News, Apr. 2025.
- [54] O. Chang and L. Li, "China Rolls Out AI Chip Design System 'Qimeng'," DIGITIMES Asia, June 2025.
- [55] C. Feng, "Empyrean Announces Breakthroughs in Chip Design Software," South China Morning Post, Aug. 2025.
- [56] A. Fan and J. Shen, "South Korea Strives to Boost EDA Competitiveness," DIGITIMES Asia, July 2024.
- [57] A. Fan and S. Wang, "Samsung and SK Hynix Lead AI-Driven EDA Revolution," DIGITIMES Asia, June 2025.
- [58] J. Allen, "Startup Funding: Q1 2025," Semiconductor Engineering, Apr. 2025.
- [59] J. Allen, "EDA Startups at DAC 2025," Semiconductor Engineering, July 2025.
- [60] Cadence Design Systems, "Verisium AI-Driven Verification Platform," Cadence.
- [61] Synopsys, "Synopsys Completes Acquisition of Ansys," Synopsys.com, 2025.
- [62] R. Frazzoli, "Taking Stock of the EDA Industry," Embedded.com, 2025.
- [63] H. Veendrick, "Effects of Scaling on MOS IC Design," Springer, 2025.
- [64] A. Mutschler, "Multi-Die Assemblies Complicate Parasitic Extraction," SemiEngineering, June 2025.
- [65] Electronics Weekly Staff, "Keysight and Synopsys Employ AI for RF Design Migration," Electronics Weekly, June 2025.
- [66] J. Blocklove et al., "Evaluating LLMs for Hardware Design and Test," arXiv preprint arXiv:2405.02326, 2024.
- [67] P. Jain and J. Paris, "Rethinking Chip Debug," SemiEngineering, June 2025.
- [68] L. Peters, "Challenges in Using Sub-7nm ICs in Automotive," SemiEngineering, June 2025.
- [69] Y. Yang et al., "HaVen: Hallucination-MitIGated LLM for Verilog Code Generation," arXiv preprint arXiv:2501.04908, Jan. 2025.
- [70] U.S. National Science Foundation, "Center for Advanced Electronics Through Machine Learning (CAEML)," IUCRC Program, 2025.
- [71] S. Mukesh and J. Zhang, "A Review of the Gate-All-Around Nanosheet FET Process Opportunities," Electronics, vol. 11, no. 21, p. 3589, 2022.

K-ASIC Korea AI & System IC
Innovation Center

SJSU SAN JOSÉ STATE
UNIVERSITY

K-ASIC (Korea AI & System IC Innovation Center)

www.kasicusa.com

info@kasicusa.com

[linkedin.com/company/kasicusa](https://www.linkedin.com/company/kasicusa)